



BACHELORARBEIT

David Weinberger

**Polysilizium-Heaterstrukturen
für den Einsatz in
hochbeschleunigten
Zuverlässigkeitstests auf
Waferebene**

Mittweida, **2011**

BACHELORARBEIT

David Weinberger

**Polysilicon heaterstructures for
use in highly accelerated
reliability testing at wafer level**

Mittweida, 2011

BACHELORARBEIT

Polysilizium-Heaterstrukturen für den Einsatz in hochbeschleunigten Zuverlässigkeitstests auf Waferebene

Autor:

David Weinberger

Studiengang:

Informationstechnik / Mikroelektronik

Seminargruppe:

IT07wM-B

Erstprüfer:

Prof. Dr.-Ing. Michael Hösel

Zweitprüfer:

Prof. Dr.-Ing. Gerd Dost

Einreichung:

Mittweida, 1. Februar 2011

Verteidigung/Bewertung:

Mittweida, 2011

Bibliografische Angaben

Weinberger, David:

Polysilizium-Heaterstrukturen für den Einsatz in hochbeschleunigten

Zuverlässigkeitstests auf Wafer Ebene - 2011 - 75 Seiten

09648 Mittweida, Hochschule Mittweida (FH), University of Applied Sciences,

Fakultät Elektro- und Informationstechnik, Bachelorarbeit, 2011

Referat

Diese Bachelorarbeit soll die Grundlage für hochbeschleunigte Zuverlässigkeitstests auf Wafer Ebene unter Verwendung von In-Situ-Heizelementen aus polykristallinem Silizium bilden. Nach einer Einführung in die Zuverlässigkeitstheorie wird eine Auswahl an Zuverlässigkeitstest vorgestellt. Diese sind momentan, durch den Einsatz von Hot-Chuck's, noch recht zeitaufwändig und verlangen daher nach einer alternativen Wärmequelle. Der in dieser Arbeit vorgestellte Ausweg beschreibt einen Polysilizium-Widerstand direkt in der zu beheizenden Struktur. Weiterhin wird die Wärmeausbreitung durch thermische Simulationen dargestellt. Am Ende dieser Arbeit wird noch die mögliche Temperaturmessung an solchen Teststrukturen vorgestellt.

Inhalt

1. Einführung.....	12
2. Zuverlässigkeit.....	13
2.1. Zuverlässigkeitstheorie.....	13
2.2. Grundlegende Zusammenhänge.....	14
2.3. Mean-Time-To-Failure (MTTF).....	16
2.4. Mean Life (θ).....	17
2.5. Mean-Time-Between-Failure (MTBF).....	17
2.6. Fehlermodellierung.....	18
2.7. Typische Fehlerraten-Kurve.....	18
3. Analysemethoden.....	21
3.1. Optische Analyse	21
3.2. Elektrische Analyse	22
4. Zuverlässigkeitstests auf Waferebene.....	23
4.1. Interconnect Reliability.....	23
4.1.1. SPIKE-Test.....	23
4.1.2. Elektromigration-Test.....	25
4.2. MOS Reliability.....	26
4.2.1. Time Dependent Dielectric Breakdown.....	27
4.2.2. Hot-Carrier-Injection Test	28
4.2.3. Mobile Ion Test.....	31
5. Der Übergang zu hochbeschleunigten Zuverlässigkeitstests.....	32
6. Polykristallines Silizium als Heizelement.....	33
6.1. Allgemeines zum polykristallinen Silizium.....	33
6.2. Herstellung und Eigenschaften.....	33
6.2.1. Herstellung von polykristallinen Siliziumschichten.....	33
6.2.2. Leitfähigkeit polykristalliner Siliziumschichten.....	34
6.3. Die Joule'sche Erwärmung.....	36
6.4. Dimensionierung von Polysilizium-Heaterstrukturen	40
6.4.1. Herstellung der Struktur	40
6.4.2. Der Widerstand des Polysilizium-Heaters.....	42
6.4.3. Dimensionierung der Oxiddicken.....	47
6.4.3.1. Minimale Feldoxiddicke für Interconnect-Strukturen.....	48

6.4.3.2. Minimale Feldoxiddicke für MOS-Strukturen.....	50
6.4.3.3. Dimensionierung des Inter Layer Dielectric.....	50
6.5. Thermische Simulationen und Wärmeausbreitung.....	52
6.5.1. Thermische Simulation	52
6.5.2. Wärmeausbreitung an ausgewählten Teststrukturen.....	54
6.5.2.1 Wärmeausbreitung in Interconnect-Strukturen.....	54
6.5.2.1.1. Vertikale Wärmeausbreitung	57
6.5.2.1.2. Horizontale Wärmeausbreitung auf Leitbahnebene.....	59
6.5.2.2 Wärmeausbreitung in MOS-Strukturen.....	60
6.6. Alternative zu Polysilizium-Heizelementen.....	65
7. Standardmethoden zur Ermittlung von Temperaturkoeffizienten.....	66
7.1. Temperaturmessung an Metall-Leitbahnen.....	66
7.2. Temperaturmessung an pn-Übergängen.....	67
8. Zusammenfassung.....	70
9. Quellenverzeichnis.....	71
10. Eigenständigkeitserklärung.....	75

Abbildungsverzeichnis

Abbildung 1: Typische Fehlerraten-Kurve [19].....	18
Abbildung 2: Spike-Bildung.....	23
Abbildung 3: Schaltung zur Messung des Substratstromes beim SPIKE-Test.....	24
Abbildung 4: Hohlräume und Materialansammlung auf Grund von Elektromigration [16].....	25
Abbildung 5: Beispielhafte Messung an einer EM-Struktur.....	26
Abbildung 6: Gateoxiddefekte.....	27
Abbildung 7: Ausbildung des n-leitenden Kanals.....	29
Abbildung 8: Hot-Carrier-Injection.....	30
Abbildung 9: Widerstand von Polysilizium bei unterschiedlicher Dotierung [1].....	35
Abbildung 10: Wärmeausbreitungsmodell [9].....	38
Abbildung 11: Möglicher Aufbau einer fWLR-Struktur.....	40
Abbildung 12: PSpice-Modell zur Berechnung des Heater-Widerstandes.....	43
Abbildung 13: Modell zur Berechnung von Heizwiderstand und Joule'scher Erwärmung.....	45
Abbildung 14: Simulation unterschiedlicher Feldoxiddicken.....	47
Abbildung 15: Berechnung der minimalen Feldoxiddicke.....	49
Abbildung 16: Simulationsmodell eines Elementes als elektronische Ersatzschaltung.....	52
Abbildung 17: Möglicher Aufbau einer Elektromigrationsstruktur.....	54
Abbildung 18: Simulationsquerschnitt der EM-Struktur.....	57
Abbildung 19: Vertikale Wärmeausbreitung der EM-Struktur.....	58
Abbildung 20: Wärmeverteilung an der Waferoberfläche der EM-Struktur.....	59
Abbildung 21: Möglicher Querschnitt einen fWLR-Mobile Ion Struktur.....	60
Abbildung 22: Daraufrsicht auf eine mögliche MOS-Reliability-Struktur im Testchip.....	61
Abbildung 23: Simulationsquerschnitt der MI-Struktur.....	62
Abbildung 24: Dünnes Trennoxid (einfach).....	63
Abbildung 25: Dickes Trennoxid (fünffach).....	63
Abbildung 26: PSpice-Simulationsschaltung	68
Abbildung 27: Temperaturverhalten eines pn-Überganges in Flussrichtung.....	68
Abbildung 28: Temperaturabhängigkeit bei konstantem Strom in Durchlassrichtung.....	69

Tabellenverzeichnis

Tabelle 1: Spezifische Wärmeleitfähigkeit ausgewählter Elemente [21].....	39
Tabelle 2: Erläuterung der verwendeten Parameter.....	43
Tabelle 3: Erläuterung der verwendeten Parameter.....	46
Tabelle 4: Erläuterung der verwendeten Parameter.....	49
Tabelle 5: Ausgewählte Materialeigenschaften in der thermischen Simulation [21,24,29].....	53
Tabelle 6: Symboldefinition der Bondpads der Elektromigrationsstruktur.....	55
Tabelle 7: Zusammenfassung der verwendeten Parameter für die Interconnect-Struktur.....	56
Tabelle 8: Simulierte Temperaturen am Gateoxid.....	64

Abkürzungsverzeichnis

A	Fläche
ABM-Modell	Ein Pspice-Modell zur Programmierung von Funktionen
Al	Chemisches Symbol für Aluminium
α	siehe TCR, linearer Temperaturkoeffizient
C	elektisches Symbol für Kapazität; auch Integrationskonstante
CFR	constant failure rate, konstante Ausfallrate
CMP	Chemical Mechanish Polish, chemisch-mechanisches Polieren
C_{th}	thermische Kapazität
c_v	spezifische Wärmekapazität
Cu	Chemisches Symbol für Kupfer
CVD	Chemical Vapor Deposition, chemische Abscheidung aus der Gasphase
d	Dicke einer Schicht
DC-SWEEP	liniare Veränderung einer Variable zwischen einem Start- und einem Endwert mit definierter Schrittweite in einem Elektro-Simulationsprogram
DFR	decreasing failure rate, abnehmende Ausfallrate
DUT	Device Under Test, integrierte Teststruktur
e	Elementarladungszahl
E	elektrische Feldstärke
E_{krit}	kritische Durchbruch-Feldstärke
EM	Elektromigration
fWLR	fast Wafer Level Reliability, hochbeschleunigte Zuverlässigkeitstests auf Waferebene

H	Heater, polykristalliner Siliziumwiderstand zur Erzeugung Joule'scher Wärme
H₂	Wasserstoff
HCI	Hot-Carrier-Injection
I	elektrischer Strom
IFR	increasing failure rate, wachsende Fehlerrate
ILD	Inter Layer Oxide
k	Boltzmann-Konstante
K	Kelvin, thermische Maßeinheit
L	Länge
λ	spezifischer Wärmeleitwert
LPCVD	Low Pressure CVD, Niederdruck-CVD (10 – 100 Pa)
m	Meter, Längenmaßeinheit
MI	Mobile Ion
MOS	Metall-Oxyd-Semiconductor, Metall – Oxid – Halbleiter
MTBF	Mean-Time-Between-Failur, mittlere Ausfallzeit zwischen zwei Fehlern bei reparablen Elementen
MTTF	Mean-Time-To-Failur, mittlere Zeit, die erwartet wird, bis ein Element versagt
N	Fremdatomkonzentration
n⁺	mit Donatoren hochdotiertes Gebiet
NMOS	N-Kanal MOS-Transistor
P	elektrische Leistung
Pa	Pascal, Maßeinheit des Druckes
PSG	Phosphorglas-Schicht bzw. Phosphorsilikatglas
R	Ohmscher Widerstand
R_{th}	thermischer Widerstand
R_□	Flächen- bzw. Schichtwiderstand

ρ	spezifischer Elektrischer Widerstand
REM	Raster-Elektronen-Mikroskop
RPO	resistor protect oxide, Oxidschicht zu Vermeidung von Silizidierungen eines integrierten Widerstandes
RTA	rapid thermal annealing, schnelle thermische Ausheilung von Kristalldefekten
Si	Chemisches Symbol für Silizium
SiO₂	Siliziumdioxid
SiH₄	Silan
SMU	Source-Monitor-Unit, Versorgungsgerät mit gleichzeitiger Strom-Spannungsmessung
SPICE	Simulation Program with Integrated Circuit Emphasis, allgemein ein Simulationsprogramm für den Schaltungs- und Schaltkreisentwurf
ΔT	Temperaturdifferenz
TCR	Temperature Coefficient of Resistance, linearer Temperaturkoeffizient
U	elektrische Spannung
U_T	Temperaturspannung
V_d	Spannung am Drainkontakt eines MOS-Transistors
V_g	Spannung am Gatekontakt eines MOS-Transistors
VIA	vertical interconnect access, Durchkontaktierung zwischen Schichten einer integrierten Struktur
W	Weite bzw. Breite
WLR	Wafer Level Reliability, Zuverlässigkeit auf Waferebene

1. Einführung

Mit steigender Komplexität verschiedenster Systeme erhöht sich auch die Wahrscheinlichkeit das diese ausfallen. Deshalb werden Möglichkeiten gesucht, um frühzeitig Schwachstellen zu erkennen und zu beheben. Hinter dieser Grundidee verbergen sich die so genannten Zuverlässigkeitstests.

Die Zuverlässigkeit ist ein Faktor für Leistung!

Kann ein Unternehmen Zuverlässigkeit und Qualität nicht gewähren, so suchen sich Verbraucher bessere Produkte bei der Konkurrenz. Dieser Druck erhöht das Streben nach Testmethoden, um Zuverlässigkeit und Qualität über einen größtmöglichen Zeitraum zu erreichen. Da herkömmliche Testmethoden zwar schon recht schnell sind und die Automatisierung der Stressabläufe anstelle des manuellen Einrichtens der Prober-Hardware beschleunigen, ist man weiter auf der Suche nach immer schnelleren Testmethoden. Aus diesem Grund sucht man weiterhin nach Möglichkeiten, die aktuellen Zuverlässigkeitstest zu beschleunigen.

Ein möglicher Ansatz sind die so genannten Strukturen für hochbeschleunigte Zuverlässigkeitstests auf Waferebene.

Fest steht, dass diese Methoden einem Unternehmen auf Dauer verringerte Ausgaben, höhere Einnahmen und Wettbewerbsfähigkeit, durch extrem kurze Testzeiten, sichern können.

Diese Bachelorarbeit soll die Grundlage für hochbeschleunigte Zuverlässigkeitstests auf Waferebene unter Verwendung von In-Situ-Heizelementen aus polykristallinem Silizium bilden. Nach einer Einführung in die Zuverlässigkeitstheorie wird eine Auswahl an Zuverlässigkeitstest vorgestellt. Diese sind momentan, durch den Einsatz von Hot-Chuck's, noch recht zeitaufwändig und verlangen daher nach einer alternativen Wärmequelle. Der in dieser Arbeit vorgestellte Ausweg beschreibt einen Polysilizium-Widerstand direkt in der zu beheizenden Struktur. Weiterhin wird die Wärmeausbreitung durch thermische Simulationen dargestellt. Am Ende dieser Arbeit wird noch die mögliche Temperaturmessung an solchen Teststrukturen vorgestellt.

2. Zuverlässigkeit

Die Sprache der Technik ist die Mathematik. Jede Theorie einer Ingenieurs-Kunst lässt sich in einer Reihe mathematischer Verfahren beschreiben. Zuverlässigkeit, Verfügbarkeit und Wartungsfreundlichkeit, als Teile der Wahrscheinlichkeitsrechnung und der Statistik, sind ein Beispiel dafür.

Diese Mittel ermöglichen es, einen bestimmten Prozentsatz der Teile, die in einer bestimmten Zeit ausfallen können, zu ermitteln und somit Rückschlüsse auf die durchschnittliche Lebensdauer zu ziehen.

Stärken und Schwächen von Bauelementen einer Produktlinie variieren von Teil zu Teil und sind praktisch nicht erkennbar. Auch die Zeit zur Reparatur eines ausgefallenen Elementes ist unterschiedlich und hängt von vielen Faktoren, die teilweise unerkennbar sind, ab.

2.1. Zuverlässigkeitstheorie

In der Zuverlässigkeitstheorie wird mit Verteilungsfunktionen gearbeitet, da die Zuverlässigkeit selbst als Wahrscheinlichkeitsparameter oder Zufallsvariable definiert ist. Ein Beispiel für eine diskrete Zufallsvariable ist die Anzahl der Ausfälle in einem gegebenen Zeitintervall und für kontinuierliche Zufallsvariablen die Zeit von der Inbetriebnahme bis zum Fehler oder Ausfall.

2.2. Grundlegende Zusammenhänge

Mit Hilfe der Quelle [19] werden im nachfolgenden die grundlegenden Zusammenhänge der Zuverlässigkeitstheorie erläutert.

Die Verteilungsfunktion $F(t)$ ist die Wahrscheinlichkeit in einem zufälligen Prozess, die wie folgt definiert ist:

$$F(t) = \int_{-\infty}^t f(t) dt \quad (\text{Gl.2.2.1})$$

In dieser Definition ist $f(t)$ die Wahrscheinlichkeitsdichtefunktion der Zufallsvariable, auch bezeichnet als *Time To Failure*. $F(t)$ ist die „Funktion der Unzuverlässigkeit“, die des Fehlers. Somit ist die Zuverlässigkeitsfunktion $R(t)$ die Wahrscheinlichkeit, dass ein Element nicht vor einer bestimmten Zeit ausfällt:

$$R(t) = 1 - F(t) = \int_t^{\infty} f(t) dt \quad (\text{Gl.2.2.2})$$

Die Wahrscheinlichkeit eines Fehlers/Ausfalls innerhalb eines bestimmten Zeitraumes kann durch folgende Zuverlässigkeitsfunktion ausgedrückt werden:

$$\int_{t_1}^{\infty} f(t) dt - \int_{t_2}^{\infty} f(t) dt = R(t_1) - R(t_2) \quad (\text{Gl.2.2.3})$$

Die Fehlerrate im Intervall t_1 zu t_2 ist die so genannte Ausfallrate $\lambda(t)$. Sie ist definiert als Verhältnis der Wahrscheinlichkeit, dass ein Fehler in einem bestimmten Intervall auftritt, ohne dass der Fehler bereits vor dem Zeitpunkt t_1 aufgetreten ist, dividiert durch die Intervallbreite.

$$\lambda(t) = \frac{R(t_1) - R(t_2)}{(t_2 - t_1)R(t_1)} = \frac{R(t) - R(t + \Delta t)}{\Delta t R(t)} \quad (\text{Gl.2.2.4})$$

Einer der wichtigsten Zusammenhänge in der Zuverlässigkeitsanalyse ist unter anderem die *momentane Fehlerrate* $h(t)$, die wie folgt definiert wird:

$$h(t) = \lim_{\Delta t \rightarrow 0} \left(\frac{R(t) - R(t + \Delta t)}{\Delta t R(t)} \right) = \frac{-1}{R(t)} \left(\frac{dR(t)}{dt} \right) = \frac{1}{R(t)} \left(\frac{-dR(t)}{dt} \right) \quad (\text{Gl.2.2.5})$$

mit $\frac{-dR(t)}{dt} = f(t)$ erhält man nun:

$$h(t) = \frac{f(t)}{R(t)} \quad (\text{Gl.2.2.6})$$

Kennt man nun die „Time To Failure“-Funktion $f(t)$ und die Funktion der Zuverlässigkeit $R(t)$, so kann die momentane Fehlerrate für jeden Zeitpunkt t bestimmt werden.

Die allgemeine Beschreibung der Zuverlässigkeitsfunktion ist wie folgt herleitbar:

$$h(t) = \frac{f(t)}{R(t)} = -\frac{1}{R(t)} \left(\frac{dR(t)}{dt} \right) \quad (\text{Gl.2.2.7})$$

$$\frac{dR(t)}{R(t)} = -h(t) dt \quad (\text{Gl.2.2.8})$$

Integriert man nun beide Seiten bekommt man:

$$\int_0^t \frac{dR(t)}{R(t)} = -\int_0^t h(t) dt \quad (\text{Gl.2.2.9})$$

$$\ln R(t) - \ln R(0) = -\int_0^t h(t) dt \quad (\text{Gl.2.2.10})$$

Da vor dem Zeitpunkt $t = 0$ kein Ausfall sein kann setzt man $R(0) = 1$, wodurch $\ln(R(0)) = 0$ wird und erhält :

$$R(t) = \exp\left(-\int_0^t h(t) dt\right) \Rightarrow R(t) = e^{-\lambda t} \quad (\text{Gl.2.2.11})$$

Der detaillierte Weg zur Endformel ist hierbei der [19] zu entnehmen.

Des Weiteren ist zu beachten, dass diese Vereinfachung eine konstante Ausfallrate voraussetzt!

Die jedoch am häufigsten verwendeten Begriffe in der Zuverlässigkeitsanalyse sind : *Mean-Time-To-Failure* (MTTF), *Mean Life* (θ) und *Mean-Time-Between-Failure* (MTBF).

2.3. Mean-Time-To-Failure (MTTF)

MTTF ist die Zeit, die erwartet wird, bis ein Element versagt und ist wie folgt aus der statistischen Theorie, nach [19], abgeleitet:

$$MTTF = \int_0^{\infty} t * f(t) dt = \int_0^{\infty} t * \left(\frac{-dR(t)}{dt}\right) dt \quad (\text{Gl.2.3.1})$$

Nach Integration erhält man gemäß [19]:

$$MTTF = \int_0^{\infty} R(t) dt \quad (\text{Gl.2.3.2})$$

In vielen Fällen genügt diese MTTF-Berechnung. Kennt man die Zuverlässigkeitsfunktion $R(t)$ so kann man also die MTTF einfach durch direkte Integration (falls mathematisch handhabbar) oder durch graphische Annäherung ermitteln.

Für reparable Elemente ist die MTTF als mittlere Zeit bis zum ersten Ausfall definiert.

2.4. Mean Life (θ)

Die mittlere Lebensdauer (θ) bezieht sich auf die Gesamtanzahl aller geprüften Elemente.

Das bedeutet: Gegeben ist eine Menge von n Elementen, welche alle betrieben werden bis sie ausfallen. Das arithmetische Mittel der MTTF ist dann die mittlere Lebensdauer der Gesamtmenge.

$$\theta = \frac{1}{n} \sum_{i=1}^n t_i \quad \begin{array}{l} n \dots \text{Anzahl der Element} \\ t_i \dots \text{Zeit bis zum Ausfall des } i_{\text{ten}} \text{ Elementes} \end{array} \quad (\text{Gl.2.4.1})$$

2.5. Mean-Time-Between-Failure (MTBF)

MTBF ist eine Angabe der Zeit zwischen zwei Fehlern oder Ausfällen bei reparablen Elementen und wie folgt beschrieben:

$$MTBF = \frac{T(t)}{e} \quad \begin{array}{l} T(t) \dots \text{Gesamtbetriebszeit} \\ e \dots \text{Anzahl der Fehler in der Betriebszeit} \end{array} \quad (\text{Gl.2.5.1})$$

Geht man auch hier wieder von einer konstanten Ausfallrate aus, so erhält man für die Zuverlässigkeitsfunktion folgenden Ausdruck:

$$R(t) = e^{-\lambda t} = e^{-t/\theta} = e^{-t/MTBF} \quad (\text{Gl.2.5.2})$$

$$\dots \text{und } \lambda = \frac{1}{MTBF} \quad (\text{Gl.2.5.3})$$

Die hier verwendete Ausfallrate λ wurde bereits im Kapitel 2.2 unter Gleichung 2.2.4 eingeführt.

2.6. Fehlermodellierung

Ein unerlässliches Mittel zur Fehlervorhersage und zur Realisierung funktionierender Elemente innerhalb einer bestimmten Nutzungsdauer beschreibt die Fehlermodellierung.

Eingangsvariablen der Ausfallrate sind unter anderem: Betriebsdaten, Testdaten, Informationen über mögliche physikalische Fehler usw.

Diese Variablen müssen durch Ingenieure für Zuverlässigkeitstests berücksichtigt werden, um Ausfallratenmodelle (in der Regel durch Verteilungsfunktionen) und deren Parameter zu erstellen.

2.7. Typische Fehlerraten-Kurve

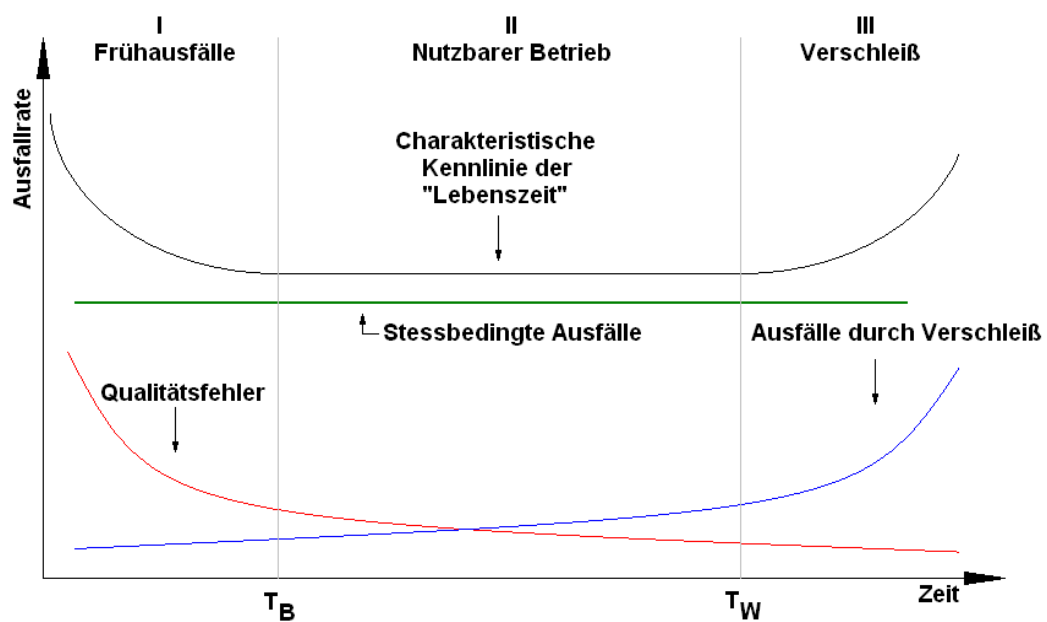


Abbildung 1: Typische Fehlerraten-Kurve [19]

Die Abbildung zeigt den typischen Verlauf der Ausfallrate während der Lebensdauer eines Elementes, auch „Badewannen-Kurve“ genannt und wird gemäß [19] im nachfolgenden näher erläutert.

Die charakteristischen Merkmale der Kurve sind:

- ein Zeitraum mit abnehmender Ausfallrate (DFR – decreasing failure rate),
- gefolgt von einer Periode mit konstanter Ausfallrate (CFR – constant failure rate)
- und abschließend mit einer wachsenden Ausfallrate (IFR – increasing failure rate).

Bereich I ist die Phase des Frühausfalls (DFR), gekennzeichnet von einer hohen Ausfallrate, was in der Regel ein Resultat des mangelhaften Entwurfes, der Verwendung von nicht normkonformen Elementen ist, oder auf das Fehlen von ausreichenden Kontrollen in der Herstellung hindeutet.

Werden diese Ausfallursachen nicht durch die Qualitätskontrolle entdeckt, so kann es zu einem sehr frühen Ausfall, evtl. sogar beim Endverbraucher, führen.

Diese Fehler können jedoch durch ein so genanntes „Burn-In“ ausgeschlossen werden. Im Rahmen des „Burn-In“ wird das Element durch verschiedene Stressmethoden zum schnelleren Altern gebracht, um die Frühausfälle beim Endverbraucher zu vermeiden. Ein Endprodukt ist somit nur freigegeben, wenn es die „Burn-In“-Periode übersteht.

Bereich II der Kurve zeigt die Nutzungsdauer und wird im Wesentlichen durch eine konstante Ausfallrate (CFR) beschrieben. Es ist ein Zeitraum, in dem Ausfälle durch Zufall geschehen. Die zufälligen Fehler können weder durch langwierige „Burn-In“-Prozesse noch durch vorsorgende Maßnahmen verhindert werden.

Dieser CFR-Zeitraum ist die Grundlage der meisten Anwendungen in Bezug auf Zuverlässigkeitstests.

Auf Grund dessen, dass dieser Bereich konstant ist, wird die exponentielle Verteilung der Time-To-Failure anwendbar und bildet die Grundlage für weiterführende Planungen und Vorhersagen.

Der Bereich III beschreibt in der Kurve den Verschleiß bzw. die Abnutzung aufgrund von Alterungserscheinungen. Beispielsweise mechanische Elemente, wie Getriebelager, nutzen sich mit der Zeit ab, egal wie gut sie gefertigt wurden.

Die Alterungen können nicht unterbunden werden, jedoch kann die Nutzungsdauer verlängert und vorzeitige Ausfälle durch entsprechende Pflege- und Wartungsarbeiten verhindert werden.

Der einzige Weg ein Versagen auf Grund von Verschleißerscheinungen zu verhindern, ist eine Reparatur oder das Ersetzen defekter Elemente.

3. Analysemethoden

Da nach dem Start einer neuen Produktionslinie oder Technologie meist viele Ausfälle zu verzeichnen sind, müssen spezielle Teststrukturen auf den Wafern platziert werden, um die Ursachen zu suchen und zu beseitigen. Diese sollen helfen Probleme in der Fertigung sichtbar und auch messbar zu machen. Platziert werden können diese zum einen in den Sägebahnen (scribe line modul) des Wafers oder direkt als Testchip (primary modul) in einem Modul.

Die Teststrukturen werden hierbei im Allgemeinen mit den Abmessungen für den Worst-Case-Fall entwickelt, um gezielt auf physikalische Effekte während der Herstellung zu reagieren und anderweitige Einflüsse so gering wie möglich zu halten.

Im Anschluss an die Produktion eines Wafers werden nun die unterschiedlichsten Tests durchlaufen, um eine Aussage über die Zuverlässigkeit und Qualität zu treffen, sowie eine Extrapolation auf die erwartete Lebensdauer durchgeführt.

Für die Analyse eines Wafers bzw. des Herstellungsprozesses stehen sowohl optische als auch elektrische Methoden zur Verfügung, die im Anschluss erläutert werden sollen.

3.1. Optische Analyse

Für die Untersuchung der Teststrukturen auf optischem Weg wird in der Regel ein Raster-Elektronen-Mikroskop, kurz REM, verwendet. Mit diesem ist es möglich, eine Draufsicht (Top View) sowie einen Querschnitt (Cross Section) der Teststrukturen mit hoher Auflösung darzustellen. Dabei dienen die Querschnitts-Ansichten vor allem zur Kontrolle der Schichtaufbauten und die Draufsicht zur optischen Prüfung von Metallisierungen zum Beispiel.

3.2. Elektrische Analyse

Neben der optischen Analyse steht auch die elektrische Analyse. Hierbei werden an mehreren Teststrukturen auf einem Wafer Messungen durchgeführt. Beispiele hierfür sind dem Kapitel 4 entnehmbar. Diese sollen hauptsächlich Aufschluss über die Lebensdauer geben und die Ursachen für einen eventuellen Frühausfall zeigen.

Mit einer gewissen Unsicherheit kann durch Extrapolation und Ausfallzeit die zu erwartende Lebensdauer ermittelt werden. Da jedoch eine Aussage über die Lebensdauer einer Struktur, unter normalen Bedingungen, enorme Zeit in Anspruch nehmen würde, muss neben dem elektrischen auch ein thermischer Stress durchgeführt werden, um die Messzeit zu verkürzen. Herkömmliche Wärmequellen sind vor allem Thermo- bzw. Hot-Chucks.

Die Messdurchführung der elektrischen Analyse wird heute automatisiert durchgeführt. Das bedeutet, eine bestimmte Mess-Routine wird, zum Beispiel auf einem PC, programmiert. Dieses Programm steuert über ein Bussystem verschiedene Test-Peripherien an, welche die elektrischen Parameter aufnehmen können und zurück an die Mess-Software übersenden. Test-Peripherien bestehen meist aus einem Mess-Käfig, einem Chuck und einer "Source Monitor Unit", kurz SMU. Im Mess-Käfig wird der zu testende Wafer auf dem Chuck (Heiztisch) platziert und die Kontaktflächen der Teststrukturen (Bondpads) mittels Manipulatoren mit Kontaktierungsnadeln verbunden. Im Anschluss daran werden die Manipulatoren mit einer SMU zur Aufnahme der elektrischen Messwerte angeschlossen.

4. Zuverlässigkeitstests auf Waferebene

Wafer Level Reliability, kurz WLR, bezeichnet Zuverlässigkeitstest auf Waferebene. Das heißt, Wafer kommen direkt aus der Produktionslinie und werden mittels geeigneter Teststrukturen auf deren Zuverlässigkeit, Qualität und Lebensdauer überprüft.

Im nachfolgendem Abschnitt sollen typische Tests erwähnt werden.

4.1. Interconnect Reliability

Die Interconnect Reliability, als Teilgebiet der WLR-Tests, befasst sich mit der Zuverlässigkeit aller Kontaktierungselemente. Diese sind vor allem die Kontakte selbst, Leiterbahnen und Isolierungen zwischen den Metallen.

4.1.1. SPIKE-Test

Aluminium wird wegen seiner Eigenschaften, wie gute Haftung auf Oxiden, gute Kontaktierbarkeit und niedriger spezifischer Widerstand, sehr häufig an der Chipoberfläche zur Kontaktierung eingesetzt. Berührt sich jedoch eine Aluminiumschicht und eine Siliziumschicht, kann es bereits bei Temperaturen zwischen 200°C und 250°C zu Diffusionsvorgängen kommen [3]. Dies führt im Silizium zum Materialschwund, da Aluminium bestrebt ist, bis zu 4% Silizium in sich zu lösen [28]. Folge ist das Entstehen so genannter "Spikes", wie folgende Abbildung zeigt:

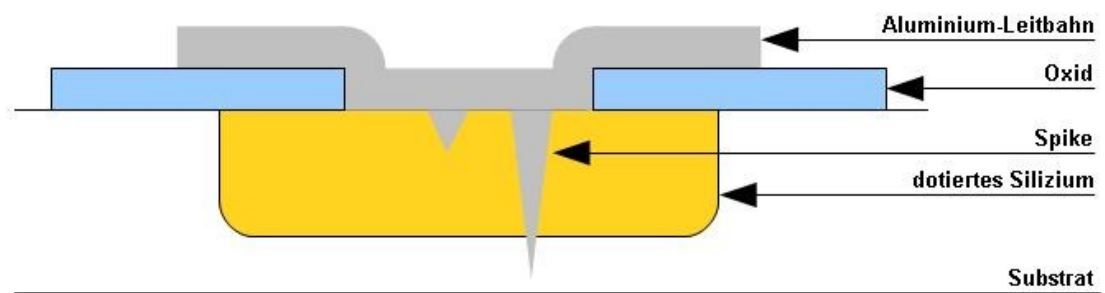


Abbildung 2: Spike-Bildung

Um diesen Effekt zu verhindern, wird anstelle des reinen Aluminiums eine Aluminium-Silizium-Legierung verwendet. Bei großflächigem Einsatz wird die Spike-Ausbildung durch eine Zugabe von 1%-2% Silizium gut unterbunden, jedoch bei kleineren Kontaktlöchern kann es zum Herauslösen des Siliziums kommen und die Kontaktwiderstände werden sehr stark erhöht [3]. Dies ist unter anderem ein Grund, warum zum Teil auf eine Vorlegierung verzichtet wird. Ein weiterer Ausweg wird durch eine Barrierschicht aus Titan-Nitrit zwischen Aluminium-Leitbahn und Siliziumkontakt erreicht. Solang diese Diffusionsbarriere keinerlei Schichtfehler, wie zum Beispiel Verunreinigungen, besitzt, ist sie nahezu perfekt. Da jedoch prozessuale Fehler nicht auszuschließen sind, ist es notwendig die Zuverlässigkeit dieser Barriere zu prüfen. Hierzu wird mit Hilfe eines pn-Überganges in Sperrrichtung der Substratstrom bei einer festgelegten Spannung und einer erhöhten Temperatur gemessen. Folgende Schaltung soll dies verdeutlichen:

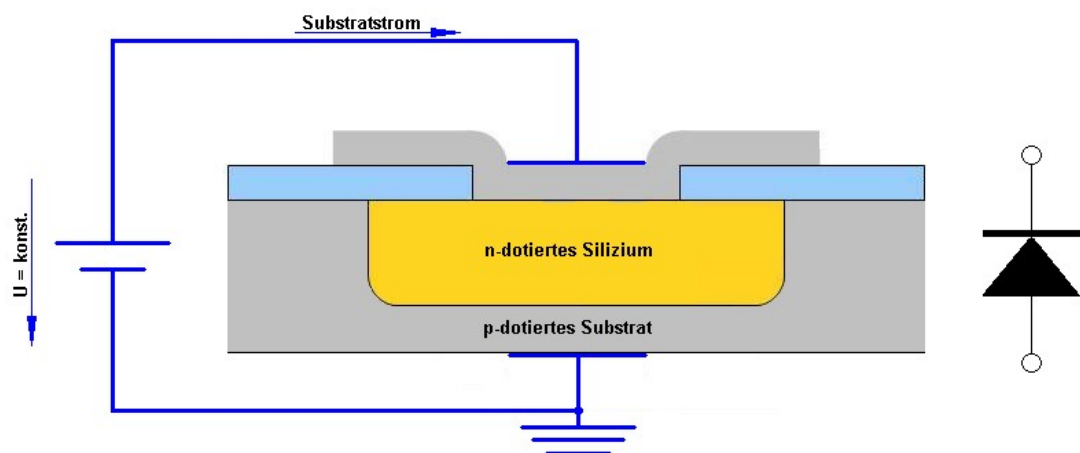


Abbildung 3: Schaltung zur Messung des Substratstromes beim SPIKE-Test

Bilden sich nun "Spikes", so wird die Diode überbrückt und der Substratstrom steigt schlagartig an. Die Struktur ist zerstört. Die Zeit bis zum Durchbruch gibt hierbei eine Aussage über die Qualität der Barrierschicht [28].

4.1.2. Elektromigration-Test

Die Elektromigration beschreibt den Transport von Material innerhalb elektrischer Leiter durch den elektrischen Stromfluss. Sie bildet einen der Gründe für den Ausfall integrierter Schaltkreise.

Dabei kommt es in metallischen Leitern üblicherweise zu Anlagerungen am positiverem Potential (Anodenseite) und zur Abtragung am negativerem Potential (Kathodenseite). Aus diesem Grund muss sich bei der Entwicklung von Schaltkreisen unter anderem die Frage gestellt werden, welche Materialien für die Leitbahnen verwendet werden, um die Ansprüche beim Endverbraucher zu erfüllen. Gerade bei den immer kleiner werdenden Strukturen (Verkleinerung des effektiven Leiterbahnquerschnittes) kommt es zu immer größeren Strombelastungen und Migrationseffekten.

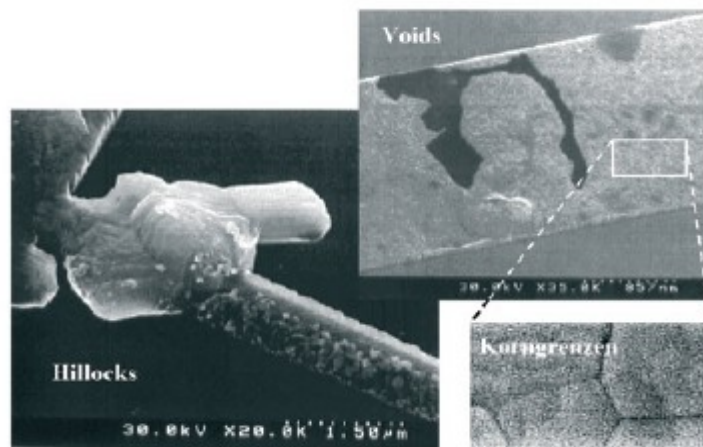


Abbildung 4: Hohlräume und Materialansammlung auf Grund von Elektromigration [16]

Beim Test der Zuverlässigkeit bezüglich der Elektromigration wird ein definierter Konstantstrom an die zu testende Struktur gelegt und die dazu notwendige Spannung mittels Vier-Spitzen-Meßmethode gemessen. Folgende Schaltung soll dies schemenhaft verdeutlichen:

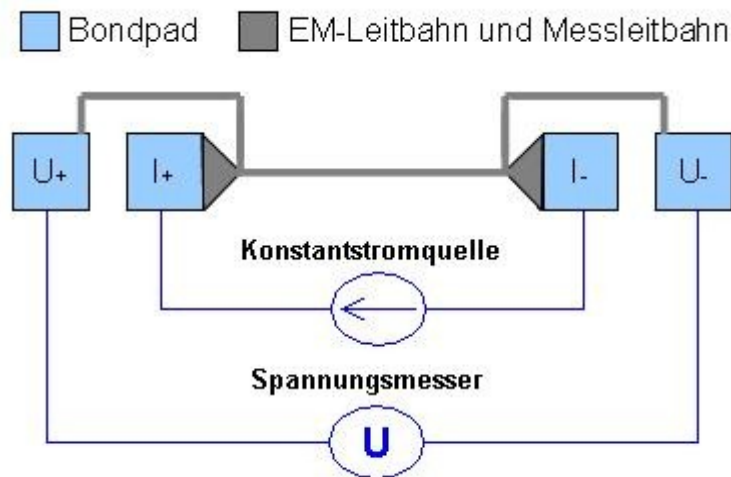


Abbildung 5: Beispielhafte Messung an einer EM-Struktur

Aus diesen Werten wird nach dem Ohmschen Gesetz der Widerstand ermittelt. Diese Messung wird unter Einfluss einer bestimmten Stresstemperatur in einer Programmschleife so oft wiederholt, bis der Widerstandswert um einen vorher bestimmten Prozentsatz, zum Beispiel 20%, vom Ausgangswiderstand abweicht oder die Testzeit erreicht wurde.

Der Grundgedanke diesen Testes ist, dass durch die Migrationsvorgänge entlang einer Leiterbahn an Kontakten oder VIA's sich Voids bilden, welche den effektiven Querschnitt verringern, und somit den Widerstand ansteigen lassen. Mit Hilfe dieser Methode können Schädigungen in kürzester Zeit hervorgerufen werden, welche sonst über Jahre hinweg entstehen.

4.2. MOS Reliability

MOS Reliability befasst sich mit der Analyse der Zuverlässigkeit, Qualität und Lebensdauer rund um den MOS-Transistor. Hierbei spielen vor allem die Oxide, wie Gate- und Feldoxid, eine wesentliche Rolle. Nachfolgend wird eine Auswahl solcher Zuverlässigkeitstests kurz vorgestellt.

4.2.1. Time Dependent Dielectric Breakdown

An das Gateoxid, als typischer Vertreter dünner Oxide, und sein dielektrisches Verhalten werden höchste Anforderungen gestellt. Eine Abweichung der Oxidschicht vom Ideal bleibt jedoch nicht immer aus. Die folgende Abbildung zeigt möglich Ursachen dafür:

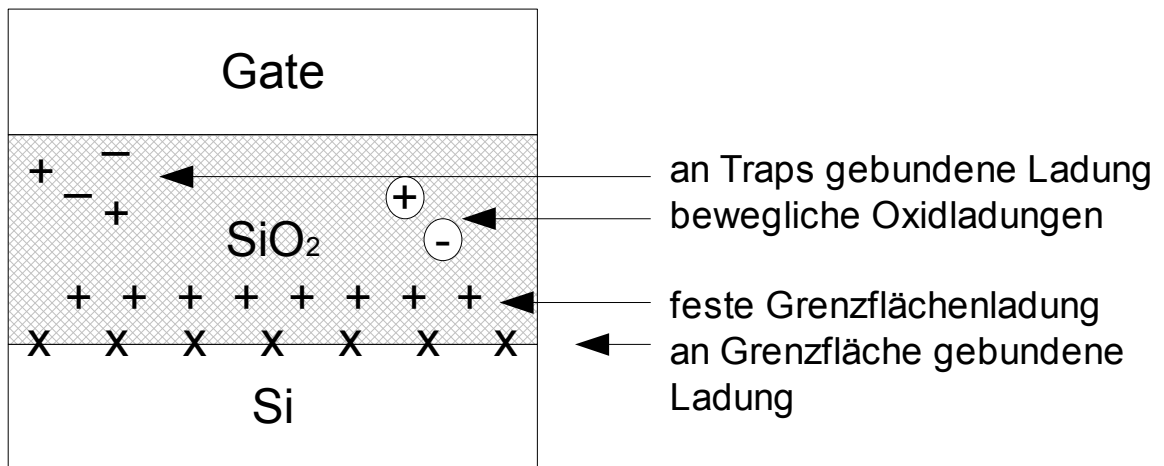


Abbildung 6: Gateoxiddefekte

Die beweglichen Ladungen sind zumeist Alkaliionen, welche durch den Fertigungsprozess der thermischen Oxidation in die SiO_2 -Schicht gelangen. Um diesem Mangel vorzubeugen, wird während der Oxidationsphase dem Sauerstoff Chlorwasserstoff HCl beigemengt, welcher die Implantation der Alkaliionen weitgehend unterdrückt.

Die festen Grenzflächenladungen (positiv geladene Ladungen gebunden an Traps) und die an die Grenzfläche gebundenen Ladungen entstehen durch Plasmaprozesse in der Herstellung und können durch Einleitung von Formiergasen nach der Oxidation im Ofen unterbunden werden.

Die Erzeugung der Ladungen rund um die Grenzfläche Si/SiO_2 schreibt man hauptsächlich Wasserstoff-Radikalen zu, welche auch bei niederen Temperaturen an jeden Ort im Halbleiter diffundieren können. Um dies jedoch zu verhindern kann man eine kurzzeitige Temperung in Argon oder Stickstoff bei höheren Temperaturen durchführen.

Diese aufgezeigten Oxidfehler werden durch moderne Fertigungsschritte zwar heute so gut wie vollständig unterdrückt, sind aber nicht generell auszuschließen [1].

Gerade diese dünnen Oxidschichten sind entscheidend an der Zuverlässigkeit und Lebensdauer von MOS-Transistoren und auch Kondensatoren beteiligt und müssen daher auch ständig überwacht werden. Gemessen wird hier der zeitabhängige Strom durch das Oxid, um eine Aussage über die Oxid-Qualität zu treffen. In wieweit hier eine C-V-Messung möglich ist wurde an dieser Stelle nicht geprüft.

4.2.2. Hot-Carrier-Injection Test

Bei der Hot-Carrier-Injection handelt es sich um einen Test der Degradation von MOS-Transistoren bei langsamen Schaltvorgängen. Ein MOS-Feldeffekttransistor, an welchem eine Potentialdifferenz zwischen Source und Drain anliegt, kann durch eine bestimmte Spannung an der Gateelektrode durchgeschaltet werden. Bezieht man sich auf einen NMOS-Transistor, so wird die Spannung am Gate positiv sein. Dadurch werden sich Elektronen unterhalb des Gateoxide anreichern und einen leitenden n-Kanal bilden. Durch das elektrische Feld zwischen dem Sourcegebiet und dem Draingebiet kommt es zu Stromfluss.

Wird der MOS-Transistor jedoch nicht sofort geschaltet, sondern mit einer langsamen Spannungsrampe am Gate betrieben, so entsteht der n-Kanal nur Stück für Stück. Der Kanal beginnt vom Sourcegebiete sich langsam Richtung Drain aufzubauen. Erst mit dem Erreichen einer Schwellspannung wird der Kanal vollständig ausgebildet sein. Ist der Kanal jedoch noch nicht komplett ausgebildet, so besteht die Potentialdifferenz zwischen dem Draingebiet und dem bis dahin ausgebildetem Kanal, wie folgende Abbildung zeigt:

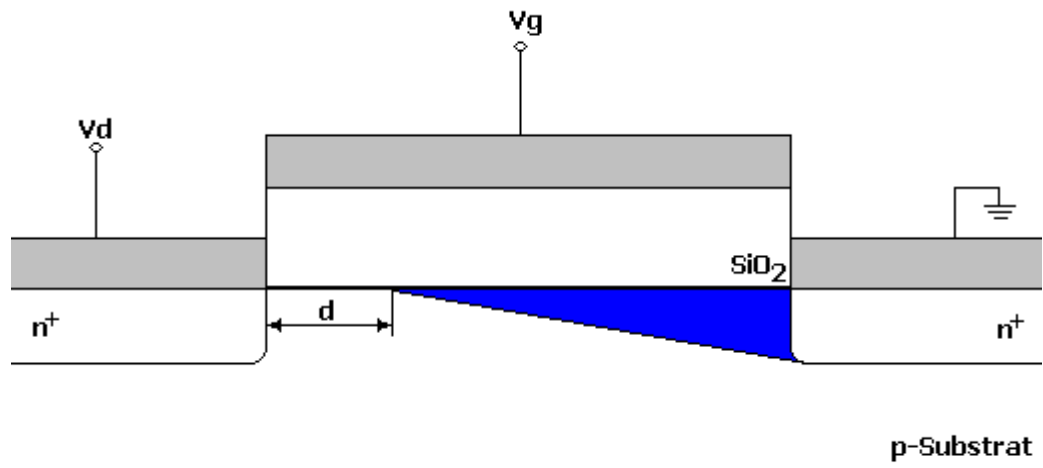


Abbildung 7: Ausbildung des n-leitenden Kanals

Steigt die Spannung am Gate weiter an, so verringert sich der Abstand zwischen Kanalende und Drain immer weiter, bis der Kanal vollkommen ausgebildet wurde. Bleibt die Spannung U_{DS} zwischen Drain und Source dabei konstant, dann steigt bei Verkürzung des Abstandes d zwischen Kanalende und Drain die horizontale elektrische Feldstärke nach folgender Gleichung:

$$E = \frac{U_{DS}}{d} \quad (\text{Gl.4.2.2.1})$$

Steigt die Feldstärke weiter an so können Elektronen bereits durch das Substrat in Richtung Drain tunneln noch bevor der Kanal völlig ausgebildet wurde. Jetzt besteht die Möglichkeit, dass Elektronen ohne Behinderungen aus Richtung Source zum Drain hin, mit Geschwindigkeiten von bis zu 10^7 cm/s [28] beschleunigt werden. Die Elektronen erreichen dabei eine bestimmte Bewegungsenergie. Ist diese Energie groß genug, um Elektronen beim Zusammenstoß von Atomen und den beschleunigten Elektronen, "herauszuschlagen", so spricht man von den Hot Carriers, den "Heissen Ladungsträgern". Folgende Abbildung zeigt die möglichen Bewegungsrichtungen der herausgeschlagenen Elektronen durch die Stoßionisation:

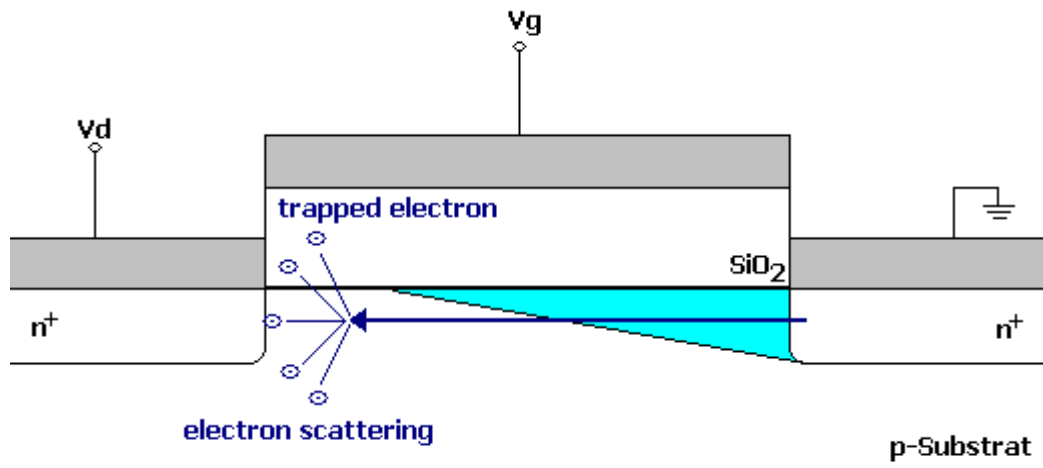


Abbildung 8: Hot-Carrier-Injection

Infolge der Stoßionisation können nun die Hot Carriers in das Gateoxid injiziert werden. Durch eine Bindung an feste Grenzflächenladungen (Traps) wird eine dauerhafte Verkürzung der Kanallänge bewirkt, was wiederum zur Verschiebung der Schwellspannung und des Arbeitspunktes führt.

Auf die prinzipielle Durchführung des Testes wird an dieser Stelle verzichtet und auf die Quelle [10] verwiesen.

4.2.3. Mobile Ion Test

Wird bei erhöhter Temperatur (ca. 250°C [23]) ein elektrisches Feld an ein Gate gelegt, so wandern frei bewegliche Ionen in den Oxiden und verursachen eine Schwellspannungsverschiebung in einem Feldoxid-Transistor. Um den Grad der Kontamination der isolierenden Oxid-Schichten mit Alkaliionen zu bestimmen, bedient man sich so genannter Mobile-Ion-Teststrukturen.

Die während des Aufwachsvorganges in ein isolierendes Oxid als Verunreinigung eingebauten Ionen sind im Allgemeinen fix an ihren Ort gebunden. Natrium-Ionen sowie andere alkalische Ionen besitzen jedoch die Möglichkeit, ihren Gitterplatz im Oxid bei ausreichender Temperatur zu verlassen und zu wandern. Durch ein von außen angelegtes elektrisches Feld an der Gateelektrode wird die Bewegung der Ionen gerichtet.

Legt man an ein Gate eines N-Kanal Feldoxid-Transistors eine positive Spannung an, so wandern positive Ionen in Richtung Si/SiO₂-Grenzfläche.

Ist die Konzentration der positiven Ionen an der Grenzfläche ausreichend hoch, so kann es sogar dazu führen, dass aus dem Substrat Elektronen angezogen werden und sich zwischen den n-dotierten Source- und Drain-Gebieten ein permanent leitender Kanal ausbildet. Der Transistor hat somit seine Funktion verloren. Die dabei entscheidenden Parameter sind die Temperatur am Transistor und die Feldstärke am Gate sowie die Kontamination des isolierenden Oxides. Anhand der Schwellspannungsverschiebung ist dann die Konzentration der Ladungsträger berechenbar.

5. Der Übergang zu hochbeschleunigten Zuverlässigkeitstests

fWLR steht für fast Wafer Level Reliability und bezeichnet die hochbeschleunigten Zuverlässigkeitstests auf Waferebene.

Da zum Beispiel der oben genannte Test der freibeweglichen Ladungsträger (Mobile Ion Test) in isolierenden Oxiden oder der Elektromigrationstest auf Waferebene unter stark erhöhten Temperaturen, bis zum Beispiel 250°C, durchgeführt werden, benötigt man an den Prober-Stationen einen so genannten Thermochuck, oder auch Hot-Chuck. Mit diesem wird der Wafer, und somit auch die Struktur, auf die entsprechenden Temperaturen gebracht. Dies ist jedoch ein sehr zeitaufwändiger Prozess, da das Ansteigen der Temperatur am Hot-Chuck bis auf 250°C eine halbe bis dreiviertel Stunde dauern kann. Auch das anschließende Abkühlen auf Raumtemperatur benötigt eine ebensolange Zeit.

Des Weiteren müssen Probernadeln nachjustiert werden, da sich der Wafer durch die Temperaturen in alle 3 Dimensionen ausdehnt.

Aus diesem Grund ist man auf der Suche nach einer weniger zeitaufwändigen Lösung. Abhilfe kann hier eine lokale Heizung der Teststruktur schaffen.

Ein wesentlicher Vorteil liegt darin nicht den gesamten Wafer zu beheizen, so dass er sich in alle 3 Dimensionen ausdehnt, wodurch wiederum eine Nachjustage der Probernadeln entfällt.. Weiterhin kann die lokale Erwärmung durch etwa eine "Widerstandsheizung" innerhalb weniger Sekunden durchgeführt werden.

Der Grundgedanke ist also, den Thermochuck durch Widerstände und die "Joulesche Erwärmung" zu ersetzen, und die üblichen Zuverlässigkeitstests auf Waferebene hoch zu beschleunigen.

6. Polykristallines Silizium als Heizelement

6.1. Allgemeines zum polykristallinen Silizium

Als Heizelement für Teststrukturen auf Waferenebene eignet sich polykristallines Silizium sehr gut, da es vor allem eine sehr hohe Temperaturstabilität bis über 1000°C besitzt. Weiterhin ist es möglich, durch Dotierung den Widerstand dieser Schichten sehr niederohmig zu gestalten. Diese Voraussetzungen ermöglichen es, eine hohe Leistung in die Struktur, bei geringen Spannungen, einzubringen, so dass kritische elektrische Durchbruch-Feldstärken nicht erreicht werden, aber hohe Temperaturen erzeugt werden können.

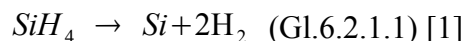
Ein weiterer wesentlicher Vorteil liegt in der Dauer bis zum Erreichen gewünschter Temperaturen durch ein solches In-Situ Heizelement im Gegensatz zum herkömmlichen Thermo-Chuck.

6.2. Herstellung und Eigenschaften

6.2.1. Herstellung von polykristallinen Siliziumschichten

Gegenwärtig werden polykristalline Siliziumschichten fast ausschließlich nach dem Low Pressure Chemical Vapor Deposition Verfahren, kurz LPCVD-Verfahren, hergestellt. Dies bedeutet Abscheidung aus der Gasphase bei Niederdruck. Der Abscheideprozess findet hierbei in einer Vakuumatmosphäre bei 10-100Pa statt [1].

Gasförmiges Silan wird bei diesem Verfahren in einen Heißwandreaktor eingebracht, in welchem das Gas auf den heißen Oberflächen des Wafers zu Silizium und Wasserstoff zerfällt :



Bei einer Prozesstemperatur von ca. 630°C und einem Druck von ca. 60Pa werden Abscheideraten von 20nm/min erreicht [1].

Die Polysiliziumschichten besitzen nach der Abscheidung im Reaktor eine Struktur bestehend aus einer Vielzahl von Körnern mit einer hohen Anzahl an Korngrenzen. Das hat sehr schlechte elektrische Eigenschaften zur Folge, vor allem in Bezug auf den Widerstandswert (um ca. $10^4 \Omega\text{cm}$) [1].

Einen Ausweg bietet die Störstellendotierung mit Arsen, Phosphor oder Bor, wobei gezielt Elektronen und Löcher gebildet werden. Phosphor und Arsen sind 5-wertige Atome (Donatoren) und bringen beim Einbau in das Kristallgitter ein zusätzliches Elektron mit, da nur 4 zur Valenzbindung nötig sind. Werden im Gegensatz dazu 3-wertige Atome (Akzeptoren), wie Bor, in das Kristallgitter eingebunden, so mangelt es an einem Elektron und es entsteht ein Loch.

Verfahren zur Herstellung niederohmiger polykristalliner Siliziumschichten sind die Bildung einer Phosphorglas-Schicht (PSG) als Dotierquelle oder eine Ionenimplantation (vor allem für Bor- oder Arsen-Dotierungen) mit anschließender Temperaturbehandlung [1].

6.2.2. Leitfähigkeit polykristalliner Siliziumschichten

Für eine elektrische Leitfähigkeit im polykristallinen Silizium ist das Vorhandensein von Elektronen und Löchern zwingend nötig. Wird nun ein elektrisches Feld an den dotierten Halbleiter angelegt, so bewegen sich die Löcher entlang und die Elektronen entgegen der Feldrichtung. Folgende Abbildung aus [1] soll dazu die Widerstandswerte, bei unterschiedlichen Konzentrationen und Dotierstoffen einer 500nm Polysiliziumschicht nach einer halbstündigen Temperung bei 1000°C , verdeutlichen [1]:

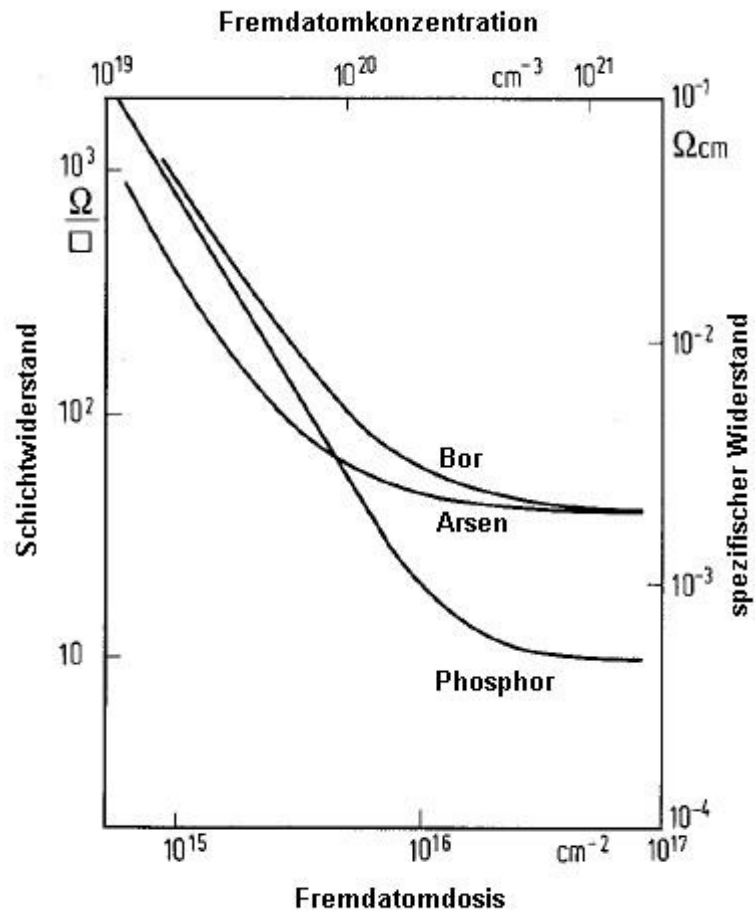


Abbildung 9: Widerstand von Polysilizium bei unterschiedlicher Dotierung [1]

Mit einer relativ hohen Dosis an Phosphor und einer Temperatur bei 1000°C kann man den niedrigsten Widerstandswert (Schichtwiderstand $R_{\square} \approx 10\Omega/\square$ bei einer Konzentration von $N \approx 10^{21} \text{ cm}^{-3}$) für eine dotierte polykristalline Siliziumschicht erzeugen [1], was somit aus widerstandstechnischer Sicht am besten für den Einsatz als Heizelement in den hochbeschleunigten Zuverlässigkeitstests auf Waferebene mittels Polysilizium geeignet ist.

6.3. Die Joule'sche Erwärmung

Die Joulesche Erwärmung, auch Stromwärme genannt, bezeichnet die Wandlung des elektrischen Stromes in Wärme durch die Verlustleistung an einem Widerstand. Die Beziehung für einen konstanten Strom, d.h. Einsatz einer Stromquelle, kann dazu wie folgt beschrieben werden:

$$P = I^2 * R \quad (\text{Gl.6.3.1}) [20]$$

Für eine erste Näherung soll im weiteren Verlauf nur die lineare temperaturabhängigkeit des Widerstandes betrachtet werden. Es sei darauf hingewiesen, dass somit ein gewisser Fehler nicht auszuschließen ist und bei praktischen Messungen berücksichtigt werden muss.

Die Formel hat somit folgendes Aussehen:

$$P = I^2 * R_{20} * (1 + TCR * \Delta T) \quad (\text{Gl.6.3.2})$$

$$P = I^2 * \rho_{20} * \frac{L}{W * d} * (1 + TCR * \Delta T) = I^2 * R_{\square} * \frac{L}{W} * (1 + TCR * \Delta T) \quad (\text{Gl.6.3.3})$$

Mit Hilfe dieser Formel ist es nun möglich, die erforderliche Heizleistung bei gegebenen Strukturparametern als Funktion des Stromes durch den Heater zu ermitteln. Weiterhin ist es auch möglich, die maximale Leistung, die durch ein Versorgungsgerät zur Verfügung gestellt werden kann, mit Hilfe des maximalen zur Verfügung stehenden Stromes zu ermitteln.

Jedoch spielt noch ein weiterer Effekt in die resultierende Temperatur am Testobjekt (DUT) hinein, der thermische Widerstand R_{th} :

$$\Delta T = R_{th} * P \quad (\text{Gl.6.3.4}) [9]$$

Setzt man nun obige Gleichung (Gl. 6.3.3) für die Leistung ein, so erhält man folgende Beziehung:

$$\Delta T = R_{th} * I^2 * R_{\square} * \frac{L}{W} * (1 + TCR * \Delta T) \quad (\text{Gl.6.3.5})$$

$$\Delta T * (1 - R_{th} * I^2 * R_{\square} * \frac{L}{W} * TCR) = R_{th} * I^2 * R_{\square} * \frac{L}{W} \quad (\text{Gl.6.3.6})$$

$$\Delta T = \frac{R_{th} * I^2 * R_{\square} * \frac{L}{W}}{(1 - R_{th} * I^2 * R_{\square} * \frac{L}{W} * TCR)} \quad (\text{Gl.6.3.7})$$

Das Substrat, auf welchem die Teststrukturen zu finden sind, besteht fast ausschließlich aus Silizium, einem relativ guten Wärmeleiter. Das bedeutet, dass die Temperatur am Substrat im wesentlichen von der Chuck-Temperatur abhängt und somit der thermische Widerstand des isolierenden Feldoxides zwischen Substrat und Heizelement eine wesentliche Rolle bei der Wärmeentwicklung spielt.

Folgende Abbildung soll das vereinfachte Prinzip der Wärmeausbreitung darstellen:

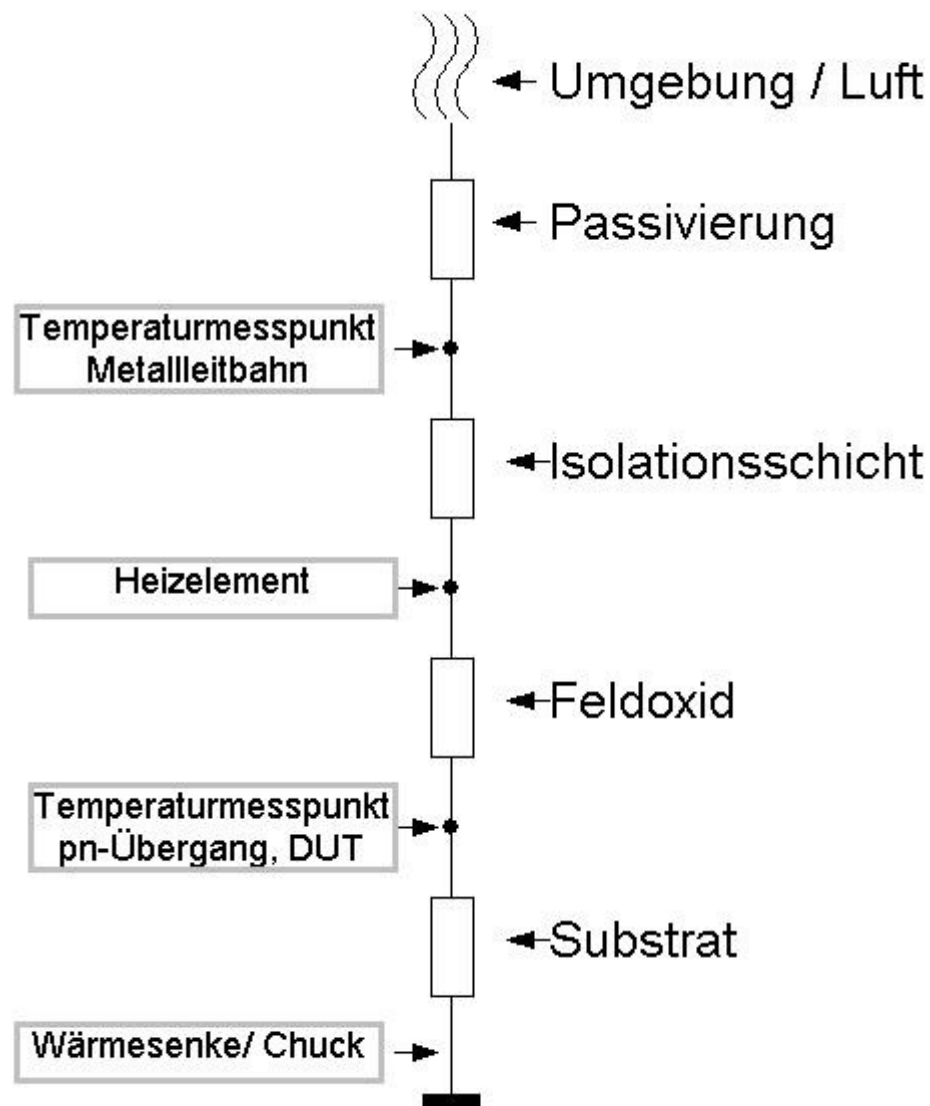


Abbildung 10: Wärmeausbreitungsmodell [9]

Dem thermischen Widerstand kommt also eine wesentliche Bedeutung bei der Temperaturentwicklung und -ausbreitung zu. Er kann wie folgt berechnet werden:

$$R_{th} = \frac{d}{\lambda * A} \quad (\text{Gl.6.3.8}) [22]$$

In dieser Formel steht d für die Dicke einer Schicht, A für die Querschnittsfläche und λ für die spezifische Wärmeleitfähigkeit. Typische Werte für den Bereich der

Halbleitertechnologie sind in folgender Tabelle aufgeführt:

Element	Spezifische Wärmeleitfähigkeit λ [W/(m*K)]
Silizium	148
Siliziumdioxid	1,2 ... 1,4
Aluminium	236

Tabelle 1: Spezifische Wärmeleitfähigkeit ausgewählter Elemente [21]

Anhand dieser ausgewählten Werte ist schon erkennbar, dass Silizium und Aluminium sehr gut Wärme leiten, und Siliziumdioxid kaum einen Einfluss auf den thermischen Widerstand hat. Bei der Dimensionierung des isolierenden Feldoxides zwischen Substrat und Heizelement ist also das d/A-Verhältnis ein wichtiger Faktor, auf welchem im Verlauf des Kapitels noch näher eingegangen wird.

Im folgenden Kapitel soll nun näher auf die Dimensionierung beim Einsatz polykristalliner Silizium-Heizstrukturen eingegangen werden.

6.4. Dimensionierung von Polysilizium-Heaterstrukturen

Um mit Hilfe von Polysilizium-Heizungen bestimmte Temperaturen erreichen zu können und diese an nachfolgende Ebenen abzugeben, muss eine geeignete Dimensionierung der Strukturen gefunden werden. Nach dem bereits im vorigen Kapitel angedeutetem Prinzip der Wärmeausbreitung soll hier von einer möglichen Grundstruktur mit folgendem Aufbau ausgegangen werden:

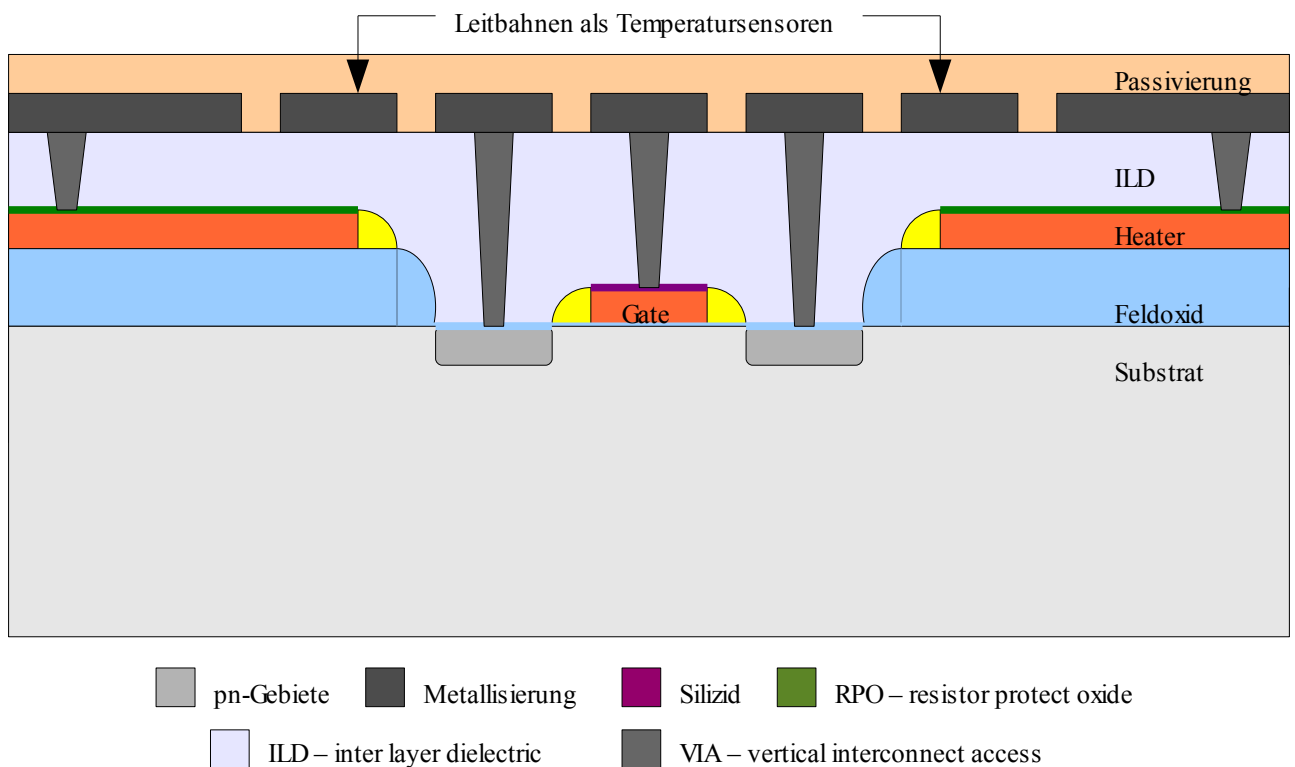


Abbildung 11: Möglicher Aufbau einer fWLR-Struktur

6.4.1. Herstellung der Struktur

Nachfolgend soll die Herstellung einer Struktur mit Polysilizium-Heizung beispielhaft erläutert werden.

Der erste Schritt in der Herstellung solcher integrierter Strukturen ist das Aufbringen eines Feldoxides auf das Substrat. Dieses Oxid soll als thermische und elektrische Isolation zwischen Heizelement und Substrat dienen. Im Anschluss daran wird mittels Siliziumnitrid- und Fotoresistschicht das Feldoxid strukturiert.

Im nächsten Schritt wird, wie im Kapitel 6.2.1 bereits erwähnt, das polykristalline Silizium im LPCVD-Verfahren erzeugt und das Heizelement auf dem Feldoxid, so wie ein Gate für MOS-Strukturen, durch fotolithographische Prozesse platziert.

Für den niederohmigen Widerstand des Heizelementes wird eine Dotierung mittels Ionenimplantation und anschließendem RTA-Prozess (rapid thermal annealing) durchgeführt. RTA bewirkt eine schnelle thermische Ausheilung der Kristallstruktur, um Gitterfehler zu verringern und die elektrischen Eigenschaften durch Aktivierung der Dotanten zu verbessern. Dieser Prozess wird üblicherweise bei Temperaturen um 1000°C für wenige Sekunden durchgeführt. Im gleichen Prozessschritt (Dotierung und anschließendes RTA) werden auch pn-Gebiete erzeugt und das Gate, beispielsweise für integrierte MOS-Strukturen, dotiert. Sollen die Teststrukturen zum Beispiel MOS-Transistoren enthalten, so muss der Gatekontakt silizidiert werden nicht aber die Heizstrukturen. Daher muss auf dem Heater eine so genannte RPO-Schicht (resistor protect oxide) erzeugt werden [11].

Der nächste Schritt bei der Herstellung wird das ganzflächige Füllen der Struktur mit einem so genannten ILD (inter layer dielectric) sein. Es dient in Verbindung mit dem chemisch-mechanischen Polieren (CMP) zur Planarisierung der Teststrukturen für die nachfolgenden Leitbahnstrukturen und als Dielektrikum.

Zur Kontaktierung der integrierten Struktur mit den Leitbahnen werden in das Fülloxid VIAs geätzt, welche mit einer seitlichen Barrierschicht aus Ti/TiN [1] ausgestattet werden, um eine Diffusion im folgenden Metallisierungsprozess zu verhindern.

Nach der Abscheidung des Leitbahnmaterials, heute üblicherweise Aluminium oder Kupfer, erfolgt die Strukturierung und anschließende Passivierung.

6.4.2. Der Widerstand des Polysilizium-Heaters

Der Widerstand des Heaters berechnet sich nach der allgemeinen Formel 6.3.3 zu:

$$R_{Heater} = R_{\square} * \frac{L}{W} * (1 + TCR * \Delta T) \quad (\text{Gl. 6.4.2.1})$$

Bei sehr hoch dotiertem Polysilizium hat der Schichtwiderstand R_{\square} für eine Phosphordotierung einen Wert von $10\Omega/\square$, siehe Abbildung 9. Dieser ist auf eine Dicke d von $0,5\mu\text{m}$ normiert [1] und muss bei anderen Dicken neu errechnet werden. So entsteht eine neue Form der Berechnung mit folgendem Aussehen:

$$R_{Heater} = R_{\square} * \frac{d_{\text{normiert}}}{d_{\text{Heater}}} * \frac{L}{W} * (1 + TCR * \Delta T) \quad (\text{Gl. 6.4.2.2})$$

wobei $d_{\text{normiert}} = 0,5\mu\text{m}$ [1] beträgt und d_{Heater} die tatsächliche Dicke repräsentiert.

Für eine erste Näherung wird der Temperaturkoeffizient TCR ist gemäß [11] definiert zu :

$$TCR = \frac{1}{R_{T0}} \left(\frac{dR}{dT} \right) \quad (\text{Gl. 6.4.2.3})$$

Dieser beinhaltet nur das lineare Glied auf Grundlage der Messungen in [11].

Zur Berechnung des Widerstandes R wurde in PSpice die nachfolgende Struktur verwirklicht (Abbildung 12). Jedoch muss beachtet werden, dass PSpice ein Elektronik-Simulator ist und somit anstelle der Widerstandswerte Spannungen anzeigt.

PARAMETERS:		PARAMETERS:	
Rsqr	10	L	300u
dnorm	0.5u	W	50u
dheater	500n	T0	25

$$Rsqr \cdot dnorm / dheater \cdot L / W \cdot (1 + V(TCR) \cdot (TEMP - T0))$$

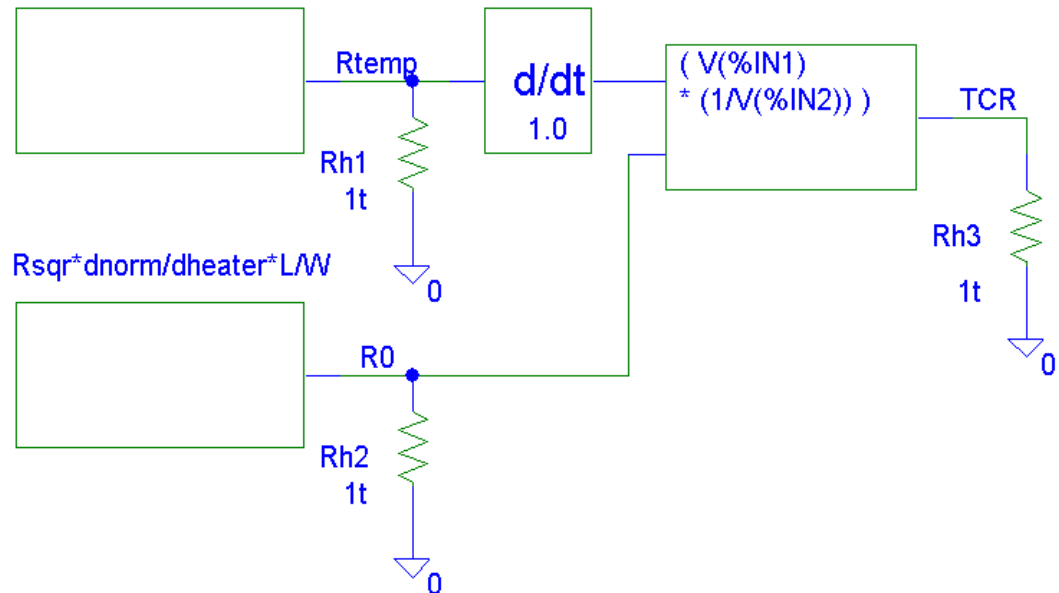


Abbildung 12: PSpice-Modell zur Berechnung des Heater-Widerstandes

Verwendeter Parameter	Bedeutung
Rsqr	Flächenwiderstand R_{\square} [Ω/\square]
dnorm	Normierte Dicke der Flächenwiderstandes [m]
dheater	Dicke des Polysilizium-Heizelementes [m]
L	Länge des Polysilizium-Heizelementes [m]
W	Weite des Polysilizium-Heizelementes [m]
T0	Umgebungstemperatur [$^{\circ}\text{C}$]

Tabelle 2: Erläuterung der verwendeten Parameter

In den abgebildeten ABM-Blöcken wurden die Gleichungen für die Berechnung des Heizwiderstandes, unter Verwendung der geometrischen Parameter, programmiert. Mit Hilfe der Arbeitspunkt-Berechnung ist es nun möglich, sich die resultierenden Widerstandswerte anzeigen zu lassen. Da die Parameter wie Länge, Weite und Flächenwiderstand meist gegeben sind, ist es nun möglich, die erforderliche Schichtdicke des Polysilizium-Widerstandes zu ermitteln.

Der Temperaturkoeffizient TCR in obiger Schaltung wird mittels Differenzier-Element und einem DC-SWEEP der Temperatur berechnet.

Lässt man sich den linearen Temperaturkoeffizienten nun berechnen so hat er einen permanenten Wert von 0 K^{-1} . Um dies zu untersuchen soll im folgenden Gl. 6.4.2.3 gelöst werden:

$$TCR = \frac{1}{R_{T0}} \left(\frac{dR}{dT} \right) \quad (\text{Gl. 6.4.2.3})$$

$$TCR = \frac{1}{R_{\square} * \frac{L}{W} * (1 + TCR * \Delta T)} \left(\frac{d}{dT} R_{\square} * \frac{L}{W} * (1 + TCR * (T - T_0)) \right) \quad (\text{Gl. 6.4.2.4})$$

$$TCR = \frac{R_{\square} * \frac{L}{W} * TCR}{R_{\square} * \frac{L}{W} * (1 + TCR * \Delta T)} \quad (\text{Gl. 6.4.2.5})$$

$$\lim_{\Delta T \rightarrow \infty} TCR = 0 \frac{1}{K} \quad \text{Gl. 6.4.2.6}$$

In [15] wird für den linearen Temperaturkoeffizienten beispielsweise ein Wert von $5.24 * 10^{-4} \text{ K}^{-1}$ angegeben.

In erster Näherung soll der Temperaturkoeffizient einen Wert von 0 K^{-1} besitzen, so dass die Dimensionierung des Widerstandes im wesentlichen von seinen geometrischen Abmessungen bestimmt wird, und Gleichung Gl. 6.4.2.2 kürzt sich zu:

$$R_{Heater} = R_{\square} * \frac{d_{normiert}}{d_{Heater}} * \frac{L}{W} \quad (\text{Gl. 6.4.2.7})$$

Des Weiteren vereinfacht sich die Formel Gl. 6.3.7 für die Berechnung der Joule'schen Erwärmung aus Kapitel 6.3. zu:

$$\Delta T = \frac{d_{ox}}{\lambda * A} * I^2 * R_{\square} * \frac{L}{W} \quad (\text{Gl. 6.4.2.8})$$

Das neue PSpice-Modell, zur Berechnung des Heizwiderstandes und der Joule'schen Erwärmung hat nun folgendes Aussehen:

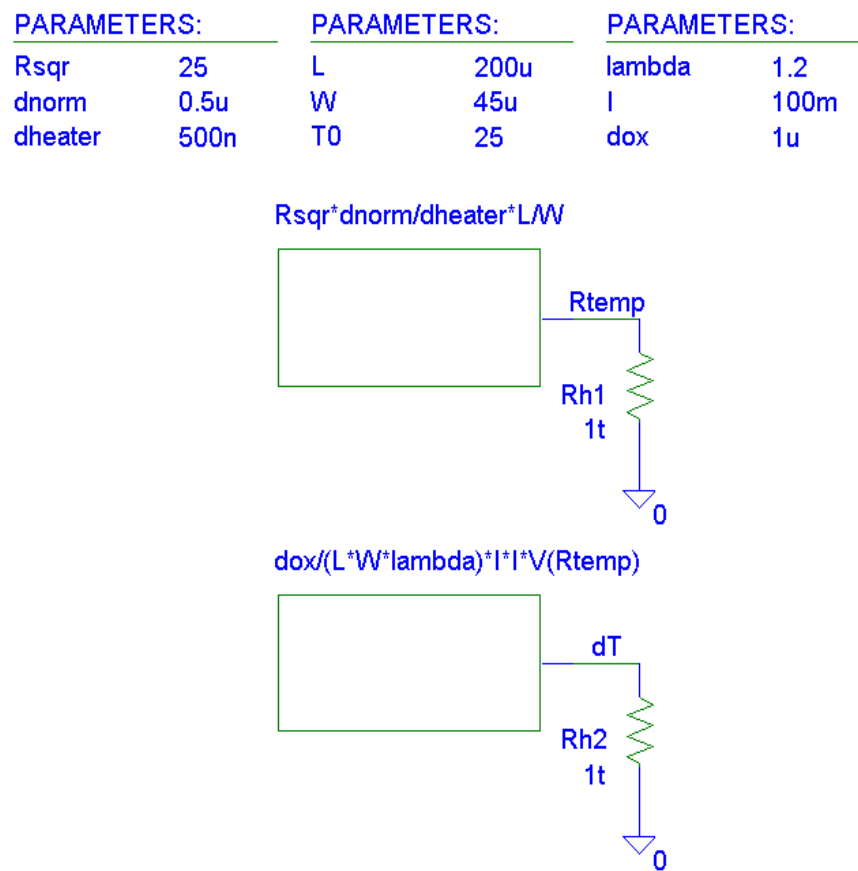


Abbildung 13: Modell zur Berechnung von Heizwiderstand und Joule'scher Erwärmung

Verwendeter Parameter	Bedeutung
Rsqr	Flächenwiderstand R_{\square} [Ω/\square]
dnorm	Normierte Dicke der Flächenwiderstandes [m]
dheater	Dicke des Polysilizium-Heizelementes [m]
L	Länge des Polysilizium-Heizelementes [m]
W	Weite des Polysilizium-Heizelementes [m]
T0	Umgebungstemperatur [$^{\circ}\text{C}$]
dox	Dicke des Feldoxides zum Substrat hin [m]
lambda	Spezifische Wärmeleitfähigkeit des Feldoxides [W/m/K]
I	Strom durch das Heizelement [A]

Tabelle 3: Erläuterung der verwendeten Parameter

Mit Hilfe diesen Modells ist es nun möglich eine Dimensionierung vorzunehmen. Da die meisten Parameter jedoch durch technologische Fertigungsverfahren oder die gezielte Platzierung der Teststrukturen vorgegeben sind, kann meist nur an den Schichtdicken der Strukturen eine Veränderung vorgenommen werden.

Eine Abhängigkeit der Dimensionierung durch die Feldoxiddicke, bei konstanten Heaterabmessungen, zeigt Abbildung 14. Der Simulation wurden die Werte aus Abbildung 13 übergeben. Des Weiteren wurde ein Stromanstieg von 0mA auf 100mA mittels DC-SWEEP am Widerstand durchgeführt. Als variabler Parameter wurde die Feldoxiddicke mit folgenden Werten gewählt: 250nm , 500nm , 750nm , 1000nm.

Wie jedoch bereits erwähnt ist PSpice ein Elektronik-Simulator und kann u.a. keine Temperaturen anzeigen. Deshalb soll die Abbildung 14 näher erläutert werden. Die Abszisse stellt hier den steigenden Strom durch den Widerstand dar und die Ordinate die Temperatur in $^{\circ}\text{C}$ am Heizelement/Widerstand (1Volt entspricht hier 1°C).

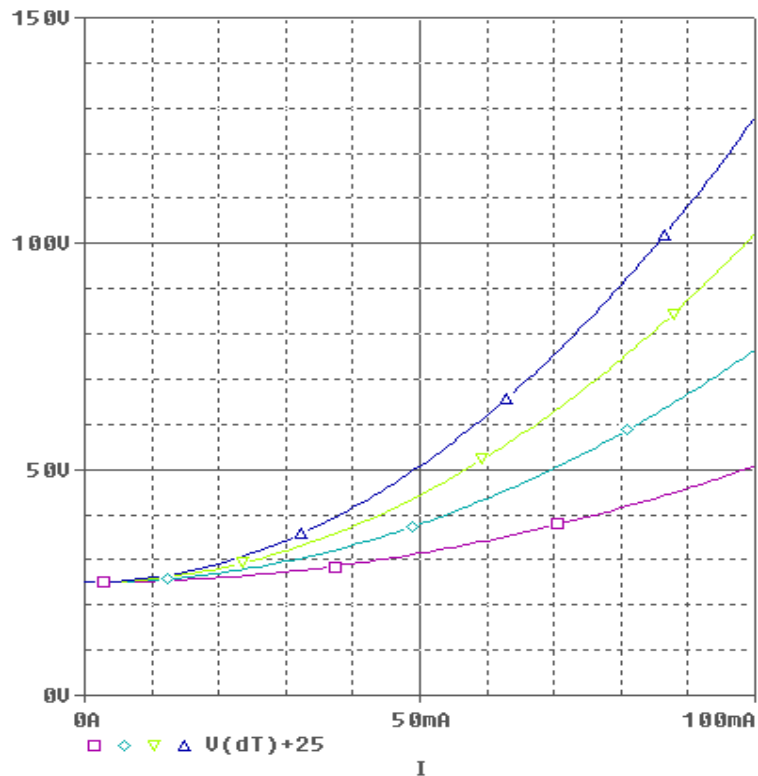


Abbildung 14: Simulation unterschiedlicher Feldoxiddicken

Man kann deutlich erkennen, dass die Oxiddicke wesentlichen Einfluss auf die Temperaturentwicklung am Heater hat. Dies soll in den nächsten Kapiteln näher betrachtet werden.

Für ein genaueres Berechnungsmodell muss nach erfolgter Herstellung die Struktur charakterisiert werden und der lineare Temperaturkoeffizient ermittelt werden. Des Weiteren kann es an den Heizelementen zu Alterungserscheinungen bzw. Degradation durch den Temperaturstress kommen, sodass sich auch hier während des Betriebes Parameter ändern, die hier in dem Modell nicht berücksichtigt wurden.

6.4.3. Dimensionierung der Oxiddicken

Da, wie bereits erwähnt, Silizium eine sehr gute Wärmeleitfähigkeit besitzt und das Substrat somit eine sehr starke Wärmesenke darstellt, ist vor allem das Feldoxid zwischen Heizelement und Substrat entscheidend für die Wärmeentwicklung und -ausbreitung. Somit muss man sich zu Beginn die Frage stellen: Will man ein Interconnect-Reliability- oder ein MOS-Reliability-Test durchführen?

Für einen Elektromigrationstest zum Beispiel muss nur eine Metallisierungsebene beheizt werden, so dass das Feldoxid zum Substrat hin sehr dick sein darf bzw. muss, um nicht zu viel Wärme als Verlust abzuführen. Bei einer integrierten Struktur, wie einem Transistor hingegen, soll gerade das Substrat geheizt werden. Somit muss ein relativ dünnes Oxid Verwendung finden. Aber es darf auch nicht so dünn werden, dass die kritische Feldstärke E_{krit} des Oxides überschritten wird und es zum Durchbruch zwischen Substrat und Polysilizium-Heizelement kommt.

6.4.3.1. Minimale Feldoxiddicke für Interconnect-Strukturen

Betrachtet man Abbildung 10 aus Kapitel 6.3. so stellt man fest, dass am wenigsten Wärme an das Substrat abgegeben wird, wenn die Temperatur nur über dem Feldoxid abfällt, d.h. die Temperatur an der Substratoberfläche $T_{Substrat}$ ist genau so groß wie am Thermo-Chuck T_{Chuck} . Zur Verdeutlichung wird hier auf das Kapitel 6.5.2 verwiesen.

So kann man nun die Mindeststärke des Feldoxides berechnen:

$$R_{th} = \frac{d}{\lambda_{SiO_2} * L * W} = \frac{\Delta T}{P} = \frac{T_{Heater} - T_{Chuck}}{P} \quad (GL. 6.4.3.1.1)$$

$$\Rightarrow d_{min} = \frac{\lambda_{SiO_2} * L * W * (T_{Heater} - T_{Chuck})}{P} \quad (GL. 6.4.3.1.2)$$

Des Weiteren muss geprüft werden, ob die Bedingungen für die kritische Feldstärke E_{krit} eingehalten werden:

$$E_{krit} = \frac{U_{max}}{d_{min}} = \frac{\sqrt{P * R}}{d_{min}} \quad (GL. 6.4.3.1.3)$$

$$\Rightarrow d_{min} = \frac{\sqrt{P * R}}{E_{krit}} \quad (GL. 6.4.3.1.4)$$

Wie bei der Dimensionierung des Heater-Widerstandes wurde ein Modell in PSpice erstellt:

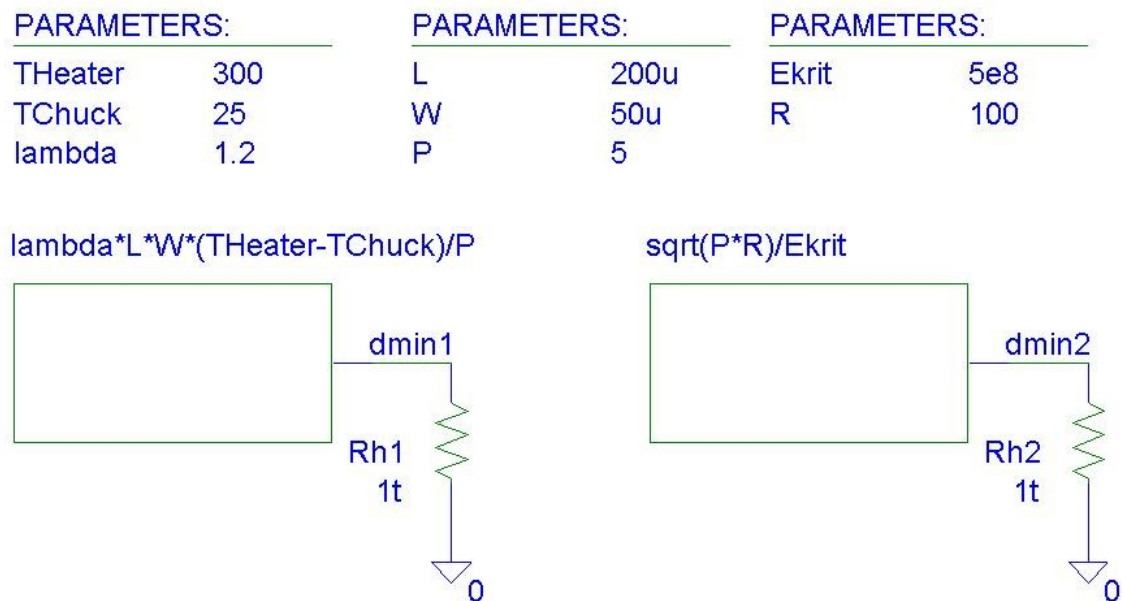


Abbildung 15: Berechnung der minimalen Feldoxiddicke

Verwendeter Parameter	Bedeutung
THeater	Temperatur am Heizelement [°C]
TChuck	Temperatur am Thermo-Chuck [°C]
lambda	Spezifische Wärmeleitfähigkeit [W/m/K]
L	Länge des Feldoxides (\approx des Heaters) [m]
W	Weite des Feldoxides (\approx des Heaters) [m]
P	Leistung am Heizelement [W]
Ekrit	Kritische Durchbruchfeldstärke des Oxides [V/m]
R	Widerstand des Heizelementes [Ω]

Tabelle 4: Erläuterung der verwendeten Parameter

Mit Hilfe der Arbeitspunktberechnung kann man nun die minimale Dicke dmin1 des Feldoxides zwischen Heizelement und Substratoberfläche berechnen. Die Schichtdicke dmin2 gibt hier Auskunft über die minimal erforderliche Stärke des Oxides unter Betrachtung der kritischen Durchbruch-Feldstärke. Bei den berechneten Werten entspricht 1Volt gleich 1m.

Für die in Abbildung 15 verwendeten Parameter zum Beispiel wäre nun die minimale Schichtdicke $d_{min1} = 495\text{nm}$ und $d_{min2} = 69.28\text{nm}$. Dies bedeutet, dass das Feldoxid zwischen Heizwiderstand und Substrat mindestens 495nm dick sein muss, um bei einer Heizleistung von 5W eine Temperatur von 300°C zu erreichen. Des Weiteren ist die kritische Feldoxiddicke d_{min2} wesentlich geringer als d_{min1} , was zur Folge hat, dass nicht mit einem Durchbruch des Oxides gerechnet werden muss.

6.4.3.2. Minimale Feldoxiddicke für MOS-Strukturen

Da für die Heizung einer lokalen Substratoberfläche soviel Wärme wie möglich abgegeben werden muss, darf nur der geringste Teil der erzeugten Temperatur über dem thermischen Widerstand des Oxides abfallen. Das bedeutet, die Oxiddicke muss minimal ausfallen. Die geringste möglich Dicke ist hierbei die, die durch die kritische Feldstärke zwischen Heater und Substrat bestimmt wird. Zur Berechnung verwendet man hierzu die Gleichung 6.4.3.1.4 des vorigem Kapitels, sowie den in PSpice erstellten ABM-Block für d_{min2} . Resultate sollen weiterführende Untersuchungen zeigen.

6.4.3.3. Dimensionierung des Inter Layer Dielectric

Bei der Dimensionierung des Fülloxides ist ebenfalls die kritische Durchbruch-Feldstärke einzuhalten. Da aber die Luft der Umgebung eine sehr kleine spezifische Wärmeleitfähigkeit von $\lambda \approx 0,0262 \text{ W/m/K}$ besitzt und somit ein sehr schlechter Wärmeleiter ist, kann das Oxid dicker gewählt werden, da nach Ablauf einer bestimmten Zeit die Schichten oberhalb des Heizelementes dessen Temperatur annehmen. Die Zeit ist hierbei abhängig von der thermischen Zeitkonstante:

$$\tau = C_{th} * R_{th} \quad (\text{Gl. 6.4.3.3.1})$$

$$\text{mit } C_{th} = c_v * V = c_v * d * L * W \quad (\text{Gl. 6.4.3.3.2}) \quad [22]$$

Löst man die thermische Kapazität und den thermischen Widerstand auf, erhält man:

$$\tau = (c_v * d * L * W) * \left(\frac{d}{\lambda * L * W} \right) \quad (\text{Gl. 6.4.3.3.3})$$

$$\tau = \frac{c_v}{\lambda} * d^2 \quad (\text{Gl. 6.4.3.3.4})$$

Man kann hier klar erkennen, dass die Dauer der Wärmeausbreitung vom Heizelement in Richtung Metallisierungsebene im Wesentlichen von der Dicke der isolierenden ILDOxidschichten abhängig ist.

Dies hat auch zur Folge, dass die Temperatur am Polysilizium-Heater, mit einem gewissen zeitlichen Versatz, direkt durch einen Temperatursensor auf der Leitbahnebene über der zu heizenden Struktur gemessen werden kann.

Für Siliziumdioxid als ILD erhält man folgenden zeitlichen Versatz:

Gegeben:	c_v	$\approx 2072,3$	$\text{kJ/m}^3/\text{K}$
	λ	$\approx 1,2$	W/m/K

$$\tau = \frac{2072,3 \text{ kJ/m}^3/\text{K}}{1,2 \text{ W/m/K}} * d^2 \approx 1,73 * 10^6 \frac{d^2}{m^2} \text{ s} \quad (\text{Gl. 6.4.3.3.5})$$

Da sich dieses System wie beim Laden und Entladen eines Kondensators verhält, kann man nach folgende Beziehung

$$T_{\text{Leitbahn}} = T_{\text{Heater}} * \left(1 - e^{-\frac{t}{\tau}} \right) \quad (\text{Gl. 6.4.3.3.6})$$

annehmen, so dass die Temperatur an der Leitbahnebene nach 5τ zu 99,33% der Heiztemperatur des Heaters entspricht. Dies bedeutet, dass zum Beispiel bei einer ILD-Dicke von $1\mu\text{m}$ die Temperatur an den Metall-Leitbahnen nach ca. $8,65\mu\text{s}$ erreicht wird.

6.5. Thermische Simulationen und Wärmeausbreitung

6.5.1. Thermische Simulation

Um die Ausbreitung der Temperatur zu simulieren und die zu erwartenden Temperaturen an den Strukturen zu ermitteln, wurde das Programm ThSim 2.14 von [29] verwendet. Dies ist ein kostenloses Programm für 3D-Temperatursimulationen, basierend auf SPICE. Dieses Programm simuliert die Wärmeleitung von Festkörpern als Zusammenfassung mehrerer quaderförmiger Elemente unterschiedlichster Eigenschaften. Dabei werden die Elemente in äquivalente RC - Ersatzschaltungen mit dem thermischen Widerstand R_{th} und der thermischen Kapazität C_{th} zerlegt und einer SPICE-Engine übergeben.

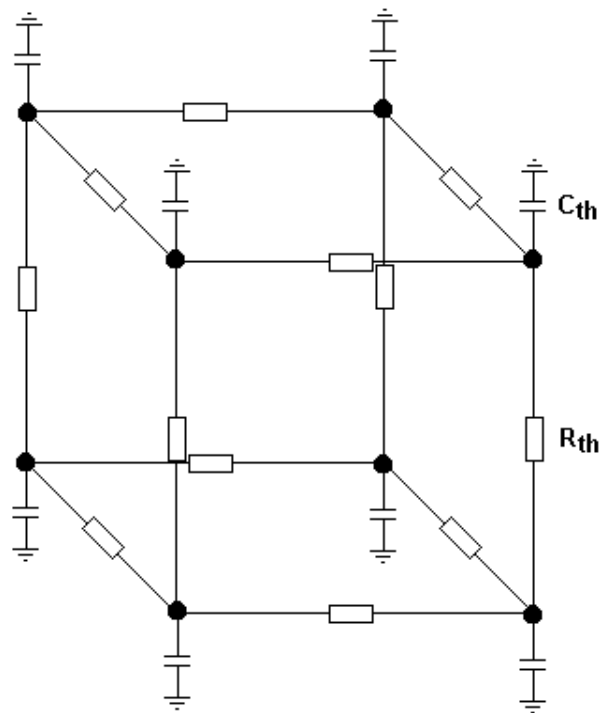


Abbildung 16: Simulationsmodell eines Elementes als elektronische Ersatzschaltung

Dabei kann auf einzelne Elemente, nach der Erstellung eines kompletten Simulationsmodelles, eine Verlustleistung gegeben werden, um daraus eine Temperatur an diesem Element zu generieren (Erzeugung der Joule'schen Erwärmung).

Vor der Simulation müssen außerdem jedem Element auch seine Materialeigenschaften, wie Wärmeleitfähigkeit, Wärmekapazität und spezifische Dichte für die Ermittlung der Wärmeleitung übergeben werden.

Da jedoch nicht alle Elemente der Mikroelektronik, wie zum Beispiel Siliziumdioxid, in der Material-Bibliothek des Simulationsprogrammes enthalten waren, wurden diese nachträglich eingefügt.

Folgende ausgewählte Materialeigenschaften wurden in den Simulationen verwendet [21,24,29]:

Material	Wärmeleitfähigkeit [W/m/K]	Wärmekapazität [J/kg/K]	Dichte [kg/m³]	Spezifische Kapazität [kJ/m³/K]
Si	148	741	2330	1726,53
Al	236	896	2710	2428,16
SiO ₂	1,2	703	2200	1546,6
Luft	0,03	1005,4	1292	1298,97
Cu	401	381	8940	3406,14

*Tabelle 5: Ausgewählte Materialeigenschaften in der thermischen Simulation
[21,24,29]*

6.5.2. Wärmeausbreitung an ausgewählten Teststrukturen

In den folgenden zwei Abschnitten werden sowohl eine dimensionierte Interconnect Struktur als auch eine MOS-Struktur mittels ThSim simuliert. Sie sollen als Stellvertreter die Wärmeausbreitung verdeutlichen.

6.5.2.1 Wärmeausbreitung in Interconnect-Strukturen

Als Vertreter der Kategorie Interconnect-Strukturen wurde eine hochbeschleunigte Elektromigrationsstruktur gewählt. Sie hat folgenden schematischen Aufbau:

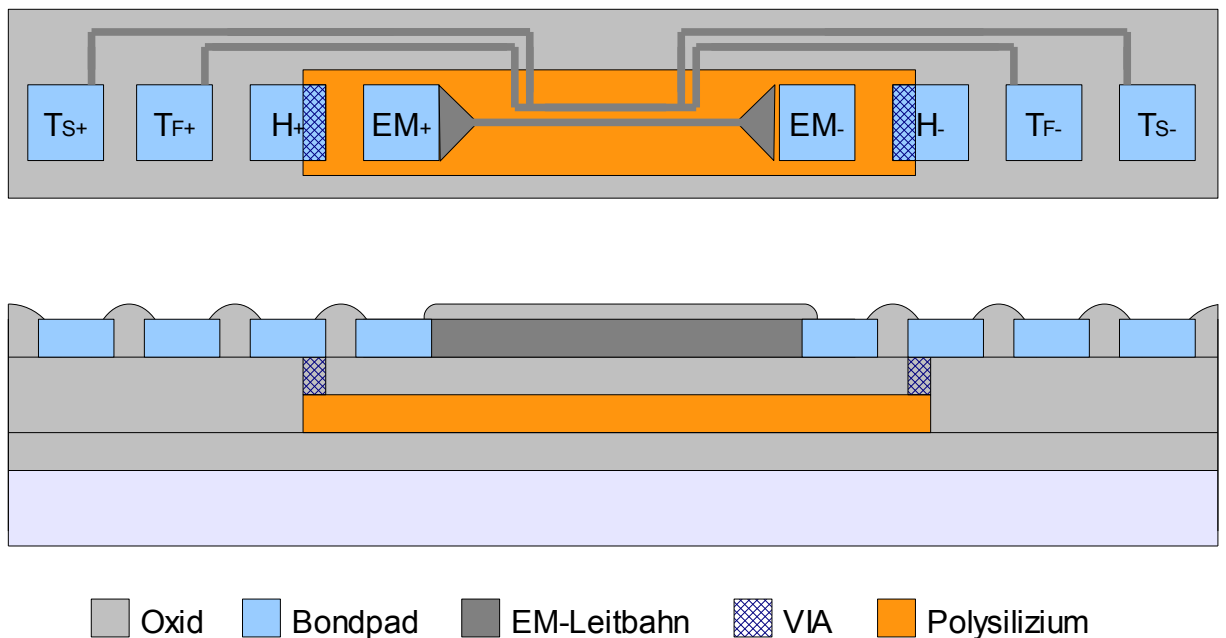


Abbildung 17: Möglicher Aufbau einer Elektromigrationsstruktur

Der obere Teil dieser Abbildung zeigt die Draufsicht der Struktur und der untere Teil eine Querschnittsdarstellung des Schichtenaufbaus. Die Elektromigrationsstruktur wurde in ihrer geometrischen Anordnung so gewählt, dass sie zum Beispiel in einer Sägebahn eines Wafers Platz finden kann.

Erläuterung der verschiedenen Bondpads:

Bondpadbeschriftung	Bedeutung
T _S	Metall-Leitbahn-Temperatursensor Sense
T _F	Metall-Leitbahn-Temperatursensor Force
H	Anschluss des Polysilizium Heizelements
EM	Anschluss der Elektromigrationsstruktur

Tabelle 6: Symboldefinition der Bondpads der Elektromigrationsstruktur

Die Zusätze + und – stehen hier für die Anschlusspolung an der Struktur. Des Weiteren ist der Temperatursensor nach der so genannten 4-Spitzen-Meßmethode zur Temperaturmessung ausgeführt, d.h. es wird nur die tatsächliche Temperatur an der Teststruktur gemessen.

Bei der 4-Spitzen-Messmethode wird an den „Force“-Anschlüssen obiger Struktur ein definierter Strom I eingespeist und zwischen den „Sense“-Kontakten eine Spannungsdifferenz gemessen. Dabei ist zu beachten, dass der Strom gering genug gewählt wird, um eine Selbstheizung zu vermeiden, welche zur Verfälschung der Messergebnisse führt. Aus dem Strom-Spannungsverhältnis kann nun der temperaturabhängige Widerstand der Leitbahn als Thermometer ermittelt und ausgewertet werden. Hierzu wird auf das Kapitel 7 verwiesen.

Die Dimensionierung dieser Struktur könnte folgendes Aussehen haben:

Beispielhaft werden für die thermische Simulation dieser Interconnect-Teststruktur folgende Werte angenommen:

- technologisch bedingte maximale Dicke des polykristallinen Siliziums von 500nm
- Dotierung des Heizelementes mit einer Konzentration von $N \approx 10^{21} \text{ cm}^{-3}$ mit Phosphor
- maximale Breite des Polyheaters $W = 50\mu\text{m}$ durch den Einsatz in einer Sägebahn

Mit einer beispielhaften Länge L von $300\text{ }\mu\text{m}$ für die Polysilizium-Heizung ergibt sich so nach dem Kapitel 6.4.2. ein Widerstandswert von $60\text{ }\Omega$.

Für die Dimensionierung des Feldoxides gemäß Kapitel 6.4.3. wird des Weiteren eine Temperatur am Heater von 300°C verwendet, da dies eine übliche Temperatur für ein Elektromigrationstest ist [18]. Mit einer kritischen elektrischen Durchbruchfeldstärke von $5 \cdot 10^6\text{ Vcm}^{-1}$ [1,28] sollte hier eine minimale Dicke von ca. 70nm nicht unterschritten werden. Weiterhin sollte gemäß Gleichung GL. 6.4.3.1.2 für eine beispielhafte Leistung von 10W eine Mindeststärke des Feldoxides von ca. 500nm zur Verfügung stehen.

Bezeichnung	Wert
Dicke des Si_{poly} d_{Si} =	500nm
Dotierung des Si_{poly} N =	10^{21} cm^{-3} mit Phosphor
Polyheaterweite W =	$50\mu\text{m}$
Polyheaterlänge L =	$300\mu\text{m}$
Heizwiderstand R =	$60\text{ }\Omega$
Temperatur am Heizelement T_{Heater} =	300°C
Umgebungstemperatur T =	25°C
kritische Durchbruchfeldstärke E_{krit} =	$5 \cdot 10^6\text{ Vcm}^{-1}$
Leistung am Heizelement P =	10 W
Dicke des Feldoxides d_{ox} =	500nm

Tabelle 7: Zusammenfassung der verwendeten Parameter für die Interconnect-Struktur

Diese Werte sollen nun als Grundlage für die thermische Simulation der Wärmeausbreitung verwendet werden.

6.5.2.1.1. Vertikale Wärmeausbreitung

Zu Beginn wird ein Modell zur Vertikalen Ausbreitung der Temperatur mit Hilfe einer Querschnittansicht erstellt, um die Aussage zu bestätigen, dass nach einer gewissen Zeit die Temperatur an der Leitbahnebene der Temperatur am Heizelement entspricht. Der Simulationsquerschnitt in ThSim hat dabei folgenden Aufbau:

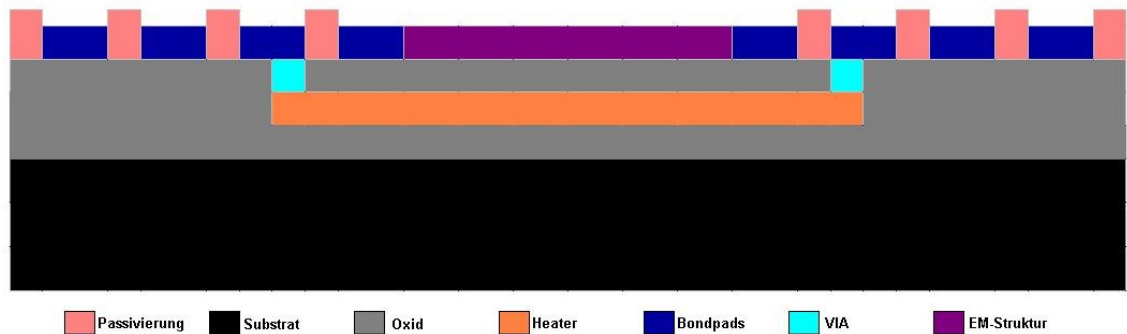


Abbildung 18: Simulationsquerschnitt der EM-Struktur

Bei den nun nachfolgenden Simulationsergebnissen korreliert die Wellenlänge mit der Farbdarstellung, d.h. eine Rotfärbung ist am heißesten und eine Blaufärbung ist kalt.

Simulationsergebnisse nach verschiedenen Simulationszeiten:

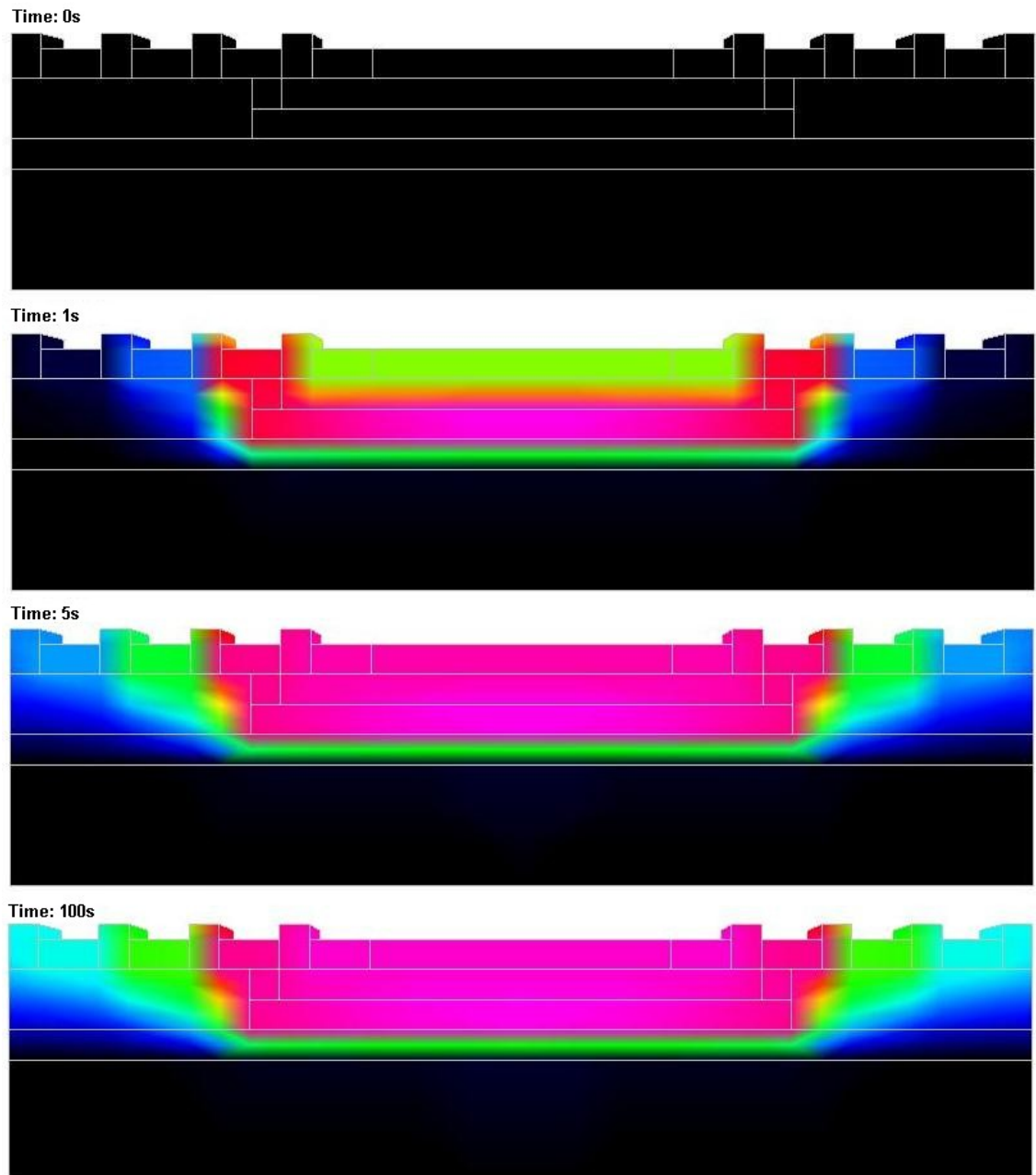
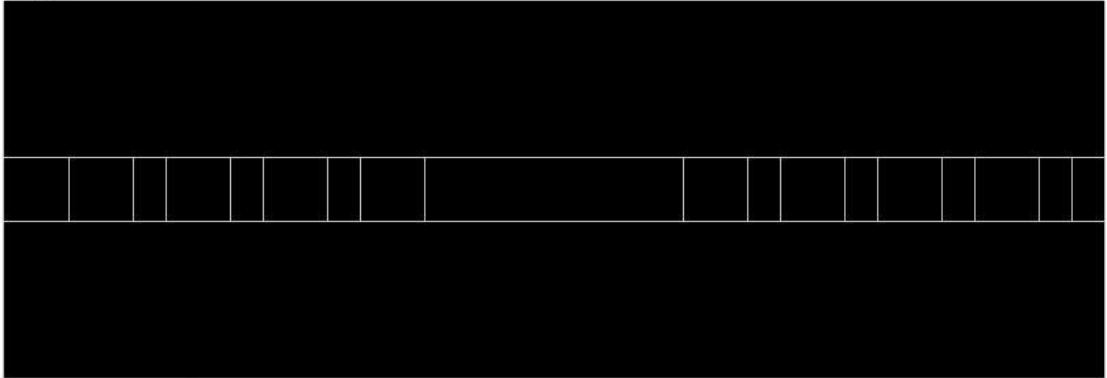


Abbildung 19: Vertikale Wärmeausbreitung der EM-Struktur

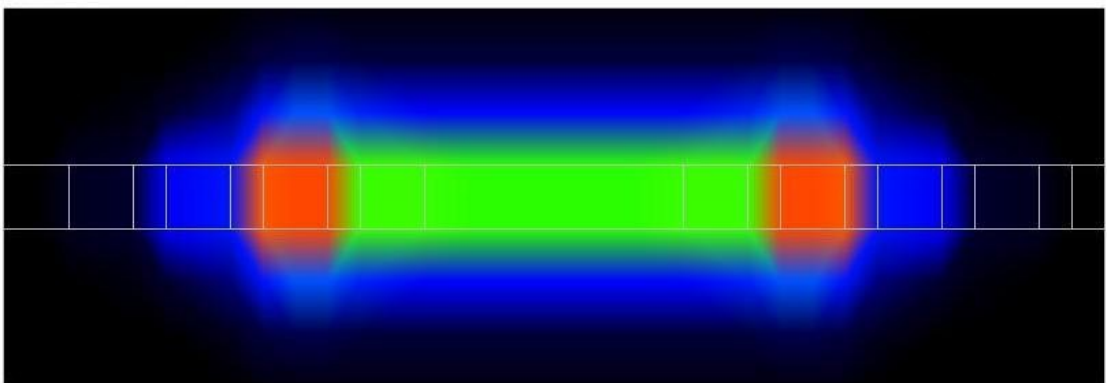
Die Simulation des Querschnittes dieser Interconnect-Teststruktur bestätigt die Aussage, dass die Temperatur oberhalb des Heaters bereits nach kürzester Zeit steigt (innerhalb weniger Sekunden im Vergleich zu einem Thermo-Chuck, welcher bis zu eine halbe Stunde benötigt), ohne dabei den kompletten Wafer zu heizen, wie bei Standard-WLR-Tests. Auch eine umgekehrte Simulation zum Verhalten des Abkühlvorganges ist mittels ThSim möglich, wurde aber im Rahmen dieser Arbeit nicht durchgeführt.

6.5.2.1.2. Horizontale Wärmeausbreitung auf Leitbahnebene

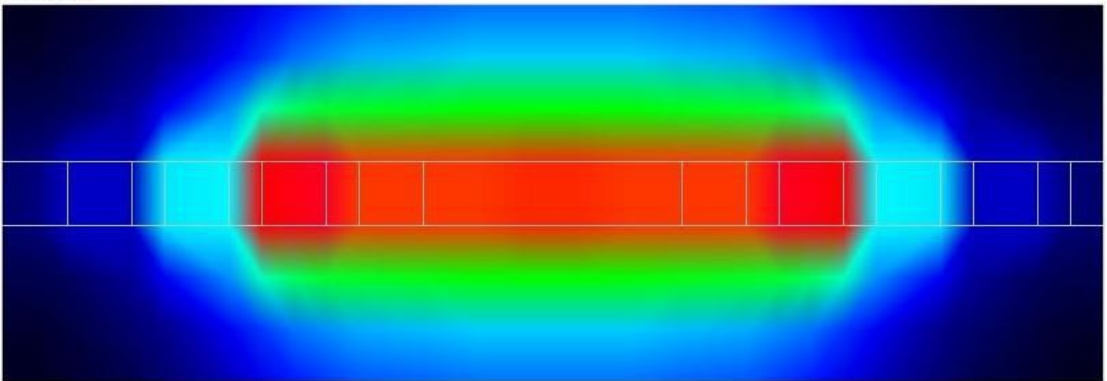
Time: 0s



Time: 1s



Time: 5s



Time: 100s

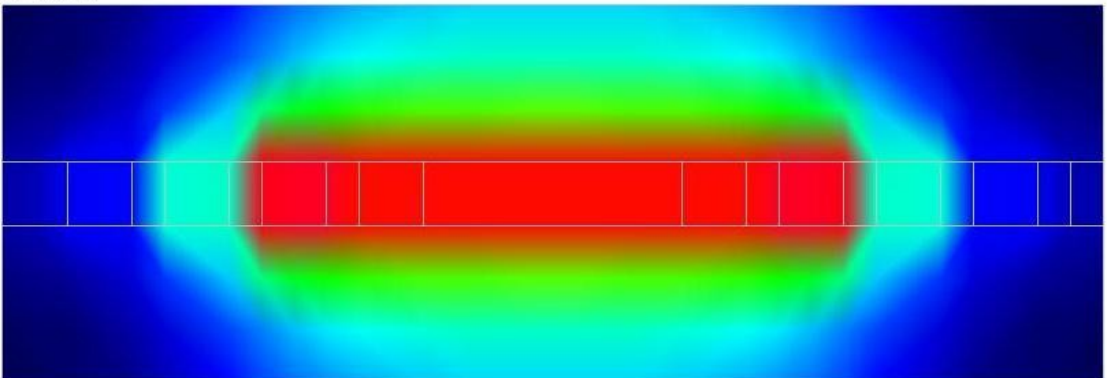


Abbildung 20: Wärmeverteilung an der Waferoberfläche der EM-Struktur

Bei der horizontalen Ausbreitung wurde hier das Temperaturprofil an der Oberfläche des Wafers dargestellt bzw. simuliert. Hierzu wurde die Elektromigrationsstruktur dreidimensional, nach Abbildung 18, aufgebaut.

Die Simulation zeigt, dass die Überlegung der Temperaturmessung mittels 4-Spitzen-Messmethode direkt neben der EM-Struktur die beste Lösung ist, da Temperaturgradienten entlang der Sägebahnstruktur die Messergebnisse stark beeinflussen können.

6.5.2.2 Wärmeausbreitung in MOS-Strukturen

Als Vertreter der hochbeschleunigten MOS-Reliability-Tests wurde eine Mobile Ion Struktur gewählt. Der schematische Aufbau könnte folgendes Aussehen haben:

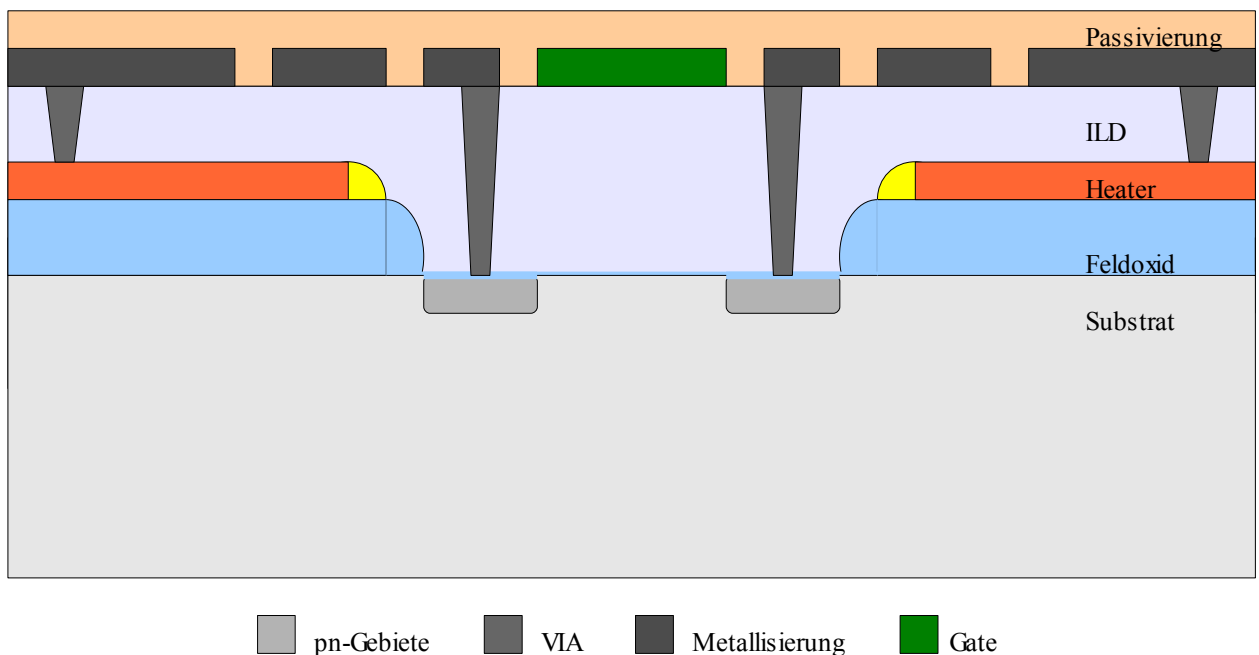


Abbildung 21: Möglicher Querschnitt einer fWLR-Mobile Ion Struktur

Diese Struktur hat für die Ermittlung der Alkaliionen-Konzentration hier anstelle eines dünnen Gateoxides ein dickes Feldoxid, wie bereits im Kapitel 4.2.3. beschrieben wurde. Des Weiteren besitzt dieser Aufbau Durchkontaktierungen bis zum Substrat hinein, so dass ein ganzflächiger Heater nicht möglich ist. Er wird deshalb in zwei Streifen um die integrierte Struktur herum geführt.

Die Draufsicht der Struktur in einem Testmodul könnte folgendes Aussehen haben:

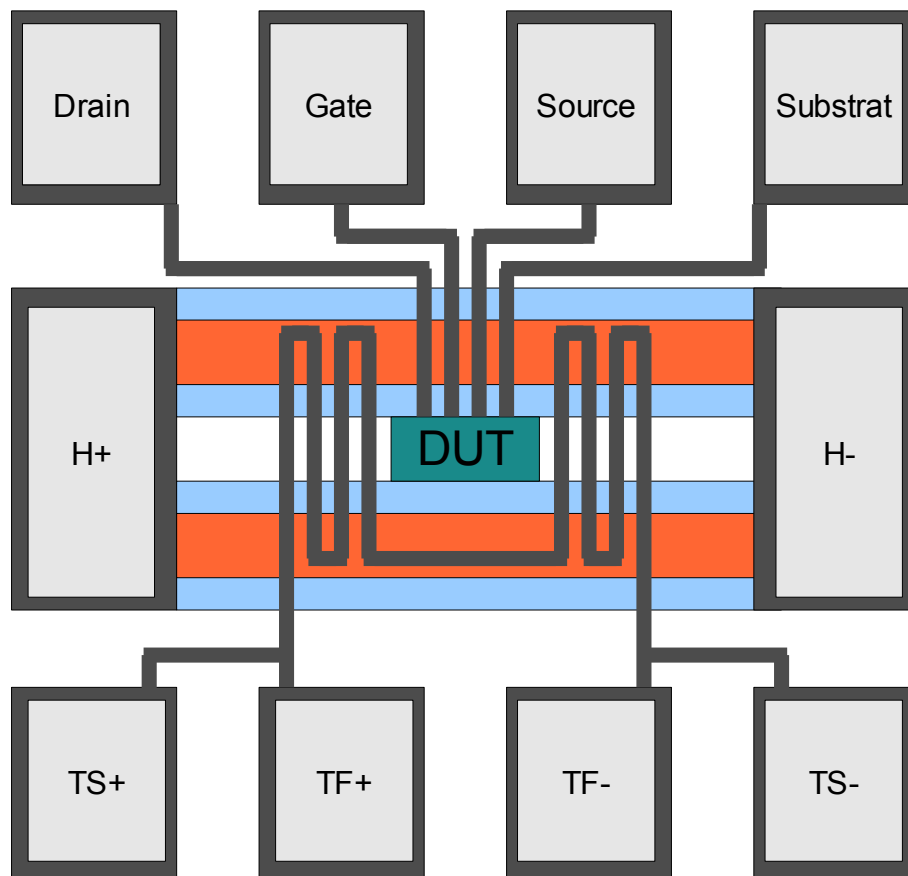


Abbildung 22: Draufsicht auf eine mögliche MOS-Reliability-Struktur im Testchip

Das Problem dieser Teststruktur besteht darin, dass die VIA und das Substrat das zu testende Oxid zwischen Gate und Substratoberfläche durch ihre hohe thermische Leitfähigkeit stark abkühlen. Also muss vor allem das Substrat mit geheizt werden. Wie bereits in Kapitel 6.4.3.2. angedeutet, muss hierzu das thermisch und elektrisch isolierende Oxid zwischen Substrat und Heizelement so gering wie möglich dimensioniert werden.

Nachfolgende thermische Simulation soll die Ausbreitung der Temperatur bei zwei unterschiedlichen Dicken des Isolationsoxides an einem Querschnittmodell verdeutlichen.

Wärmeausbreitung bei unterschiedlichen Oxiddicken

Um die Auswirkungen des Trennoxides zwischen Heizelement und Substrat zu untersuchen, wurde in ThSim folgender Querschnitt realisiert und simuliert:

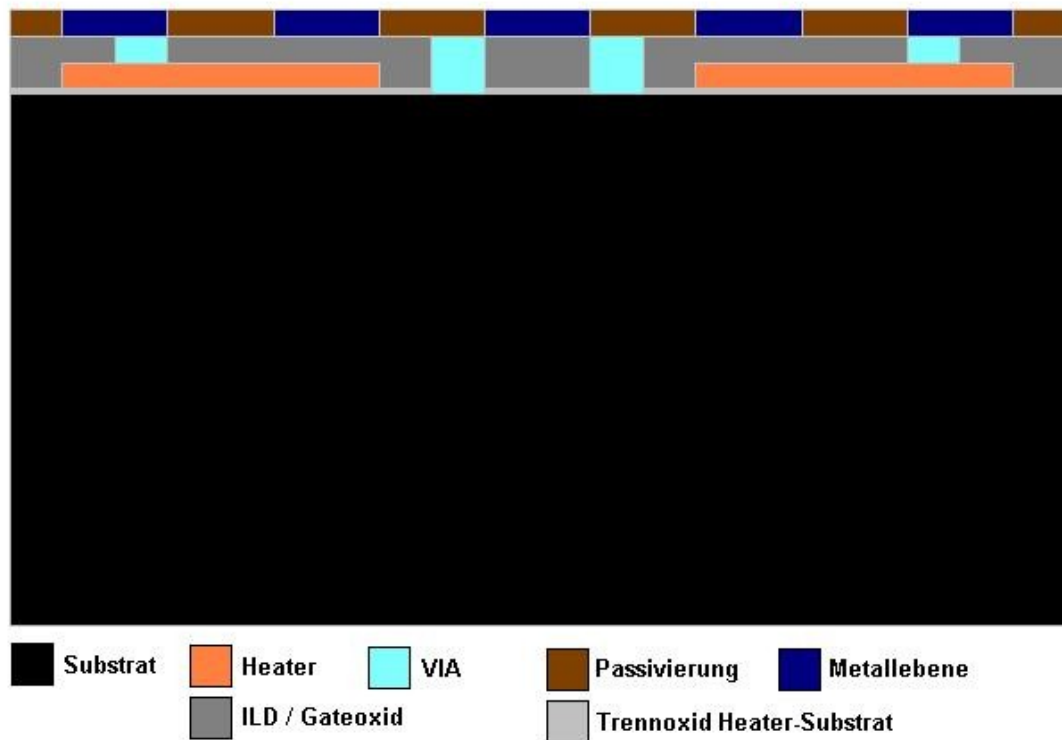


Abbildung 23: Simulationsquerschnitt der MI-Struktur

Für die Verdeutlichung der Temperaturousbreitung im Substrat wurde dieses, im Gegensatz zur EM-Struktur-Simulation, etwas dicker dimensioniert.

Die verwendeten Parameter in dieser Simulation sind zum einen die Dicke des Trennoxides, mit einfacher und fünffacher Stärke zum Vergleich, und die Temperatur am Heizelement (als Funktion der gespeisten Leistung in der Simulation).

Ein weiterer, hier nicht betrachteter Parameter, ist zum Beispiel der Abstand zwischen den Heizelementen, also die Größe der zu testenden MOS-Struktur.

Nachfolgend sind nun die Simulationen mit dünner und dicker Trennoxidschicht dargestellt:

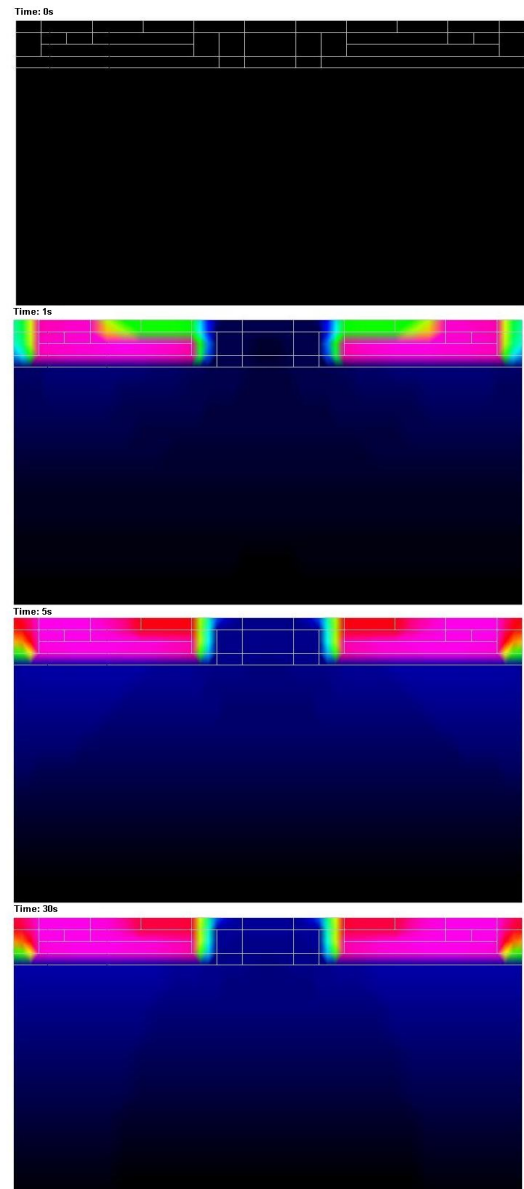
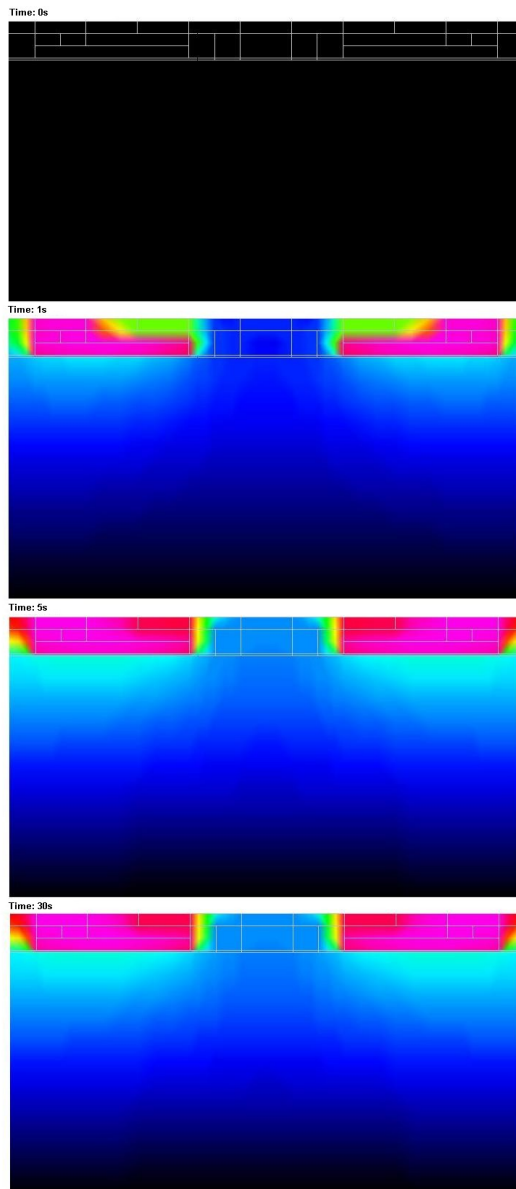


Abbildung 24: Dünnes Trennoxid (einfach)

Abbildung 25: Dickes Trennoxid (fünffach)

Auch in dieser Simulation korreliert wieder die Wellenlänge mit der Farbdarstellung

Das Heizelement wurde hier jeweils auf 230°C aufgeheizt. Jedoch war für das dünne Oxid eine 3 mal größere Leistung notwendig, da viel Wärme an das Substrat abgegeben wurde. In der Simulation wurden folgende Temperaturen am Gateoxid, mittels ThSim, ermittelt:

	Temperatur am Gateoxid
Dickes Trennoxid	ca. 45°C
Dünnes Trennoxid	ca. 80°C

Tabelle 8: Simulierte Temperaturen am Gateoxid

Man erkennt, dass durch das Heizen des Substrates auch die MOS-Struktur beheizt wurde, was das Ziel dieser Struktur war. Jedoch zeigt sich, dass im Gegensatz zum dünnen Oxid wurde die dicke Oxidschicht zwischen Heizelement und Substrat das gewünschte Gebiet nur geringfügig erwärmt. Das Substrat ist eine zu große Wärmesenke.

Für den Einsatz dieser Struktur als hochbeschleunigter Mobile Ion Test sind jedoch Temperaturen am Oxid von mindestens 200°C [23,28] erforderlich. Deshalb wurde die Leistung im Simulationsmodell mit der dünnen Oxidschicht weiter erhöht, bis die gewünschte Gateoxidtemperatur erreicht wurde.

Wie sich nach Simulationen des Autors ergab, sollte für den gesuchten Temperaturwert von ca. 200°C am Gateoxid eine Hebertemperatur von ca. 685°C zur Verfügung stehen.

Für eine praktische Durchführung dieser Art müsste dann jedoch auch ein Versorgungsgerät mit entsprechenden Ausgangsleistungen verfügbar sein bzw. der Heater neu dimensioniert werden. Ein dickeres Polysilizium-Heizelement würde dessen Widerstand verringern und es ermöglichen, mit geringeren Spannungen auch die gesuchten Temperaturen zu erzeugen.

Da das Heizelement selbst, wie in Kapitel 6.1. erwähnt, temperaturstabil bis ca. 1000°C ist, sollte dies realisierbar sein. Aber es steigt auch die Temperatur auf der Metallisierungsebene in etwa auf den Wert des Heaters! Somit herrschen an der Leitbahnebene Temperaturwerte oberhalb der Prozesstemperaturschranke von 500°C für Aluminium [1]. Es muss also nach weiteren Möglichkeiten zur Realisierung solch einer Struktur gesucht werden. Da dies jedoch den Rahmen dieser Arbeit übersteigen würde, soll an dieser Stelle nur darauf hingewiesen werden.

6.6. Alternative zu Polysilizium-Heizelementen

Eine mögliche Alternative zu den Polysilizium-Heizelementen für den Einsatz in hochbeschleunigten Zuverlässigkeitstests auf Waferebene könnten Polyzide sein.

Polyzidschichten bestehen meist aus einer hochdotierten polykristallinen Siliziumschicht und einer darüber folgenden Metall-Silizium-Verbindung, welche zum Beispiel mittels Kathodenzerstäubung oder CVD aufgebracht wird. Die eigentliche Silizidbildung der Schicht wird durch eine anschließende Temperung bei 600°C bis 1000°C abgeschlossen [1].

Der Vorteil einer Polyzidschicht ist eine weitere Herabsetzung des Schichtwiderstandes um etwa eine Größenordnung. Der Nachteil jedoch ist, dass diese Silizidstrukturen bei den hohen Strombelastungen Elektromigrationserscheinungen aufweisen [1].

7. Standardmethoden zur Ermittlung von Temperaturkoeffizienten

7.1. Temperaturmessung an Metall-Leitbahnen

Um die Temperaturen, welche durch Polysilizium-Heizelemente erzeugt werden, an Metallleitbahnen aus Aluminium oder Kupfer zu messen, kann man sich des Temperaturkoeffizienten bedienen. Die allgemeine Formel für das Temperaturverhalten von widerstandsartigen Strukturen ist folgende [17]:

$$R_{\varsigma} = R_{20} * (1 + \alpha * \Delta T + \beta * (\Delta T)^2 + \dots) \quad (\text{Gl.7.1.1})$$

Für Metallisierungen aus Aluminium kann man dabei eine reine lineare Beziehung bis ca. 420°C und für Kupfer bis ca. 200°C annehmen [17], und die obige Formel kürzt sich zu:

$$R_{\varsigma} = R_{20} * (1 + \alpha * \Delta T) \quad (\text{Gl.7.1.2})$$

wobei α der lineare Temperaturkoeffizient ist, auch TCR (Temperature Coefficient of Resistance) genannt. Um nun den linearen temperaturabhängigen Koeffizienten nach folgenden Formeln zu ermitteln, wird der Widerstand einer Leitbahn bei verschiedenen Temperaturen, erzeugt mittels Thermo-Chuck, gemessen. Zu beachten ist, dass es hierbei ohne eine zusätzliche Temperaturmessung, zum Beispiel mittels Infrarotkamera, zu Messfehlern kommen kann.

$$R_{\varsigma} = R_{20} * (1 + \alpha * \Delta T) \quad (\text{Gl.7.1.3})$$

$$\alpha = \frac{\frac{R_{\varsigma}}{R_{20}} - 1}{\Delta T} \left[\frac{1}{K} \right] \quad (\text{Gl.7.1.4})$$

Wichtig ist hierbei, einen sehr kleinen Messstrom zu wählen, typischerweise im μA -Bereich, um Verfälschungen durch Selbsterwärmung zu vermeiden. Mit diesem Wert ist es möglich, zum Beispiel in automatisierten Testabläufen, permanent eine indirekte Temperaturmessung durchzuführen.

7.2. Temperaturmessung an pn-Übergängen

Zur Messung von Temperaturen an einem Objekt im Substrat kann man einen pn-Übergang als Temperatursensor nutzen, da dieser in Durchlassrichtung nach folgenden Gleichungen beschrieben werden kann [4]:

$$I_D = I_s * C * e^{\left(\frac{U_D}{U_T}\right)} \quad (\text{Gl.7.2.1})$$

$$\ln(I_D) = \ln(I_s * C) + \frac{U_D}{U_T} \quad (\text{Gl.7.2.2})$$

Bildet man nun die Ableitung der Gleichung 7.2.2 nach U_D , so erhält man:

$$U_T = \frac{\partial U_D}{\partial \ln(I_D)} \quad (\text{Gl.7.2.4})$$

Wird jetzt die Temperaturspannung durch folgenden Ausdruck ersetzt:

$$U_T = \frac{k * T}{e} \quad (\text{Gl.7.2.5})$$

so erhält man folgende Temperaturabhängigkeit am pn-Übergang:

$$T = \frac{\partial U_D}{\partial \ln(I_D)} * \frac{e}{k} \quad (\text{Gl.7.2.6})$$

Folgende Simulation in PSpice soll das Temperaturverhalten eines pn-Überganges in Durchlassrichtung verdeutlichen:

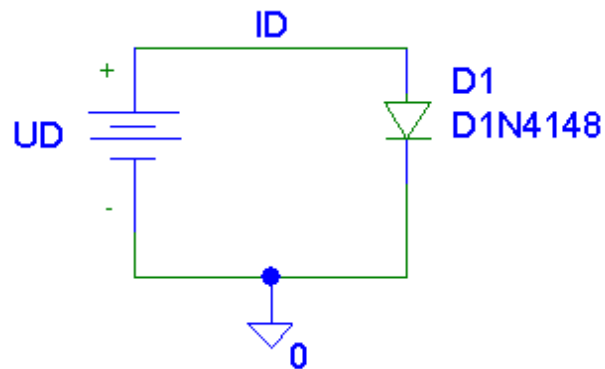


Abbildung 26: PSpice-Simulationsschaltung

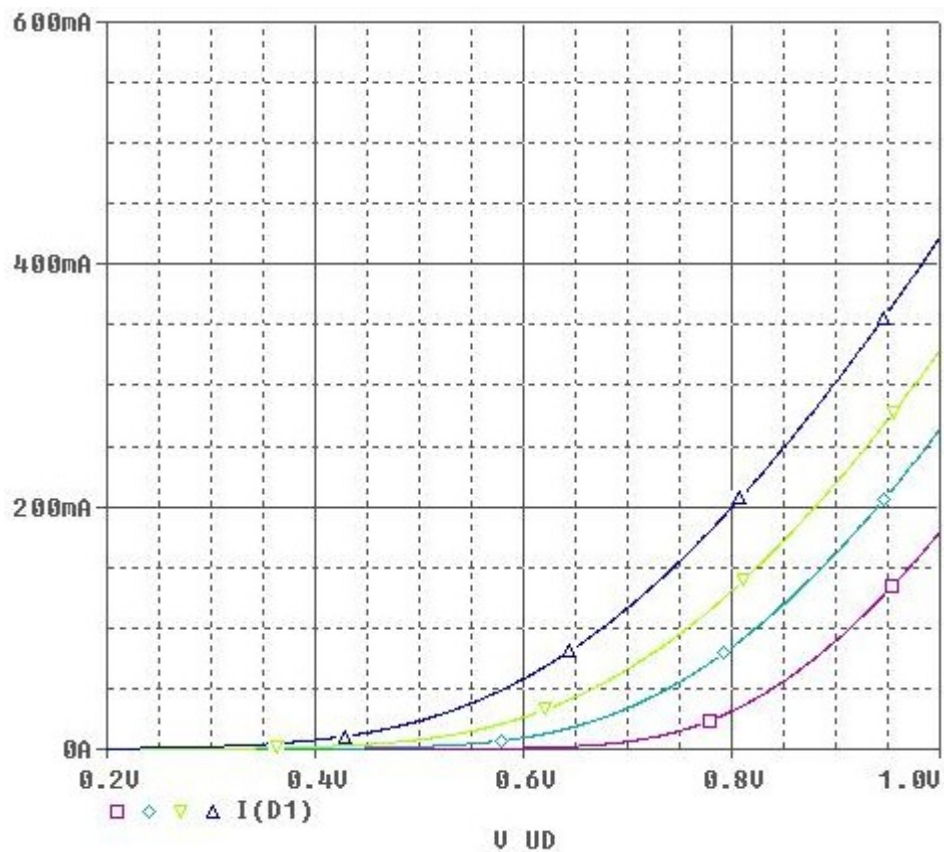


Abbildung 27: Temperaturverhalten eines pn-Überganges in Flussrichtung

In dieser Simulation wurde das Standard-Modell der Silizium-Diode 1N4148 in Durchlassrichtung verwendet. Auf der Anodenseite wurde eine Spannungsquelle angeschlossen und ein DC-SWEEP mit unterschiedlichen Temperaturparametern durchgeführt (25°C , 100°C , 150°C , 200°C).

Wählt man nun einen konstanten Strom in Durchlassrichtung der Diode, zum Beispiel 100mA, so ergibt sich folgende Temperaturabhängigkeit:

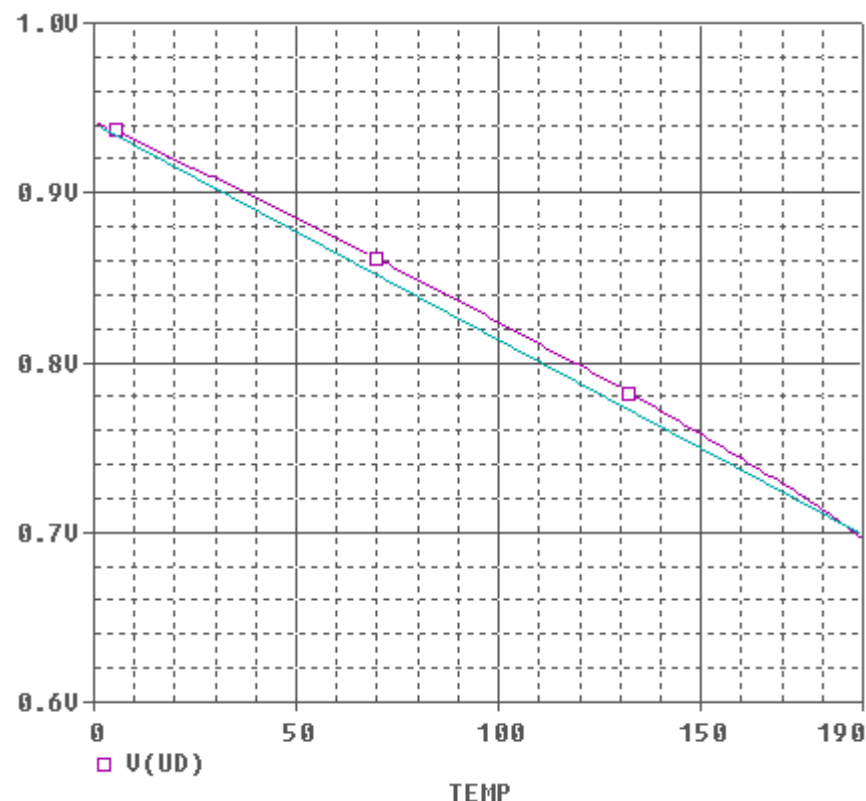


Abbildung 28: Temperaturabhängigkeit bei konstantem Strom in Durchlassrichtung

Die Simulation zeigt, mit einem gewissen Fehler behaftet, das lineare Temperaturverhalten des pn-Überganges im Bereich von 25°C-200°C. (□ Messwert der Durchlassspannung bei konstantem Strom und einem DC-SWEEP der Temperatur, - linearer Vergleich) Der Vorteil der Messung in Flussrichtung ist, dass der pn-Übergang nicht zerstört wird.

Auch in Sperrrichtung besitzt ein pn-Übergang temperaturabhängiges Verhalten. Dieses ist jedoch stark nichtlinear und für automatisierte Messungen nur bedingt einsetzbar.

Ein zusätzlicher Nachteil dieser Methode der Temperaturmessung einer Diode ist eine hohe Verlustleistung und ein dünner, eingeschnürter Stromflusskanal, der das Bauelement auf Dauer und irreversibel beschädigt. Dabei führt ein sehr hohes elektrisches Feld zum Durchbruch. Des Weiteren kann es durch die hohen Temperaturen, die gemessen werden sollen, zu Diffusionsvorgängen kommen.

8. Zusammenfassung

Zuverlässigkeitstests auf Waferebene ermöglichen eine ständige Kontrolle des Herstellungsprozesses integrierter Schaltungen. Dabei ist eine schnelle Reaktion auf Prozessanomalien zwingend notwendig. Hierzu müssen Wafer direkt aus der Prozesslinie entnommen und schnellst möglich geprüft werden.

Zum Prozessmonitoring und zur Qualitätsanalyse werden hierzu die so genannten Wafer Level Reliability Tests, kurz WLR-Tests, verwendet.

Da eine Vielzahl solcher WLR-Tests unter erhöhten Temperaturen bis ca. 300°C durchgeführt werden müssen, wurden an den Teststationen herkömmlicherweise Thermo-Chuck's verwendet. Da jedoch das Aufheizen und Abkühlen dieser sehr viel Zeit in Anspruch nimmt, ist man auf der Suche nach alternativen Heizmethoden.

Durch In-Situ-Heizelemente, also Strukturen, die sich durch die Joule'sche Erwärmung heizen, sollen die Zuverlässigkeitstests beschleunigt werden.

In dieser Arbeit wurde hierzu der Einsatz polykristalliner Siliziumschichten als Heizelement vorgestellt und eine Alternative, die Polyzidschichten, genannt. Des Weiteren wurde auf einen Dimensionierungsansatz für die thermisch und elektrisch isolierenden Oxidschichten hingewiesen. Weiterhin wurde, durch den Einsatz thermischer Simulationen mittels ThSim, die Wärmeausbreitung beispielhaft simuliert. Auch die Möglichkeiten der praktischen Temperaturmessung an der Leitbahnebene und an der Substratoberfläche wurden erwähnt.

In einer fortführenden Arbeit sollte nun, in Abhängigkeit der jeweiligen Technologien, die Anwendbarkeit der in dieser Arbeit gemachten Aussagen durch entsprechende Messungen verifiziert bzw. geprüft werden.

9. Quellenverzeichnis

Bücher und Papers:

- [1] Widmann, Dietrich; Mader, Hermann; Friedrich, Hans :
Technologie hochintegrierter Schaltungen - 2.Aufl. Berlin:
Springer-Verlag, 1996

- [2] Messick ,Cleston Ray; Turner, Timothy E. :
A GENERIC TEST STRUCTURE HEATER DESIGN AND
CHARACTERIZATION: IEEE Xplore, 1992

- [3] Laube, Philipp : Halbleitertechnologie von A-Z : www.halbleiter.org, 2011

- [4] Muth, Werner; Walter, Wolfgang :
Bias temperature instability assessment of n- and p-channel MOS transistors
using a polysilicon resistive heated scribe lane test structure :
Microelectronics Reliability, 2004

- [5] Suo, Z. : Reliability of Interconnect Structures :
Inerfacial and Nanoscale Failure, Comprehensive Structural Integrity -
Amsterdam: Elsevier, 2003

- [6] Texas Instruments Deutschland GmbH – Schulungszentrum für
Mikroelektronik: AOQ bis Zuverlässigkeit am Beispiel von Halbleitern -
2.Auflage Freising: 1992

- [7] Rubin, Dave; Zhao, Yuegang : Wafer Level Reliability Testing –
A Critical Device and Process Development Step :
Keithley Instruments, Inc.: 2005

- [8] Oertel, Jürgen: Materialchemische und elektronische Untersuchungen
cobaltdotierter MOCVD-Schichten aus Pyrit für photovoltaische Anwendungen
Berlin; FU-Berlin; FB Biologie, Chemie, Pharmazie; Dissertation; 2003

- [9] Muth, Werner; Martin, Andreas; von Hagen, Jochen; Smeets, David; Fazekas, Josef : Polysilicon Resistive Heated Scribe Lane Test Structure for Productive Wafer Level Reliability Monitoring of NBTI - Infineon Technologies AG Germany, 2003

- [10] Keithley Application Note Series: Evaluating Hot Carrier Induced Degradation of MOSFET Devices – www.keithley.com, 2000

- [11] Chuang, Hung-Ming; Thei, Kong-Beng; Tsai, Sheng-Fu; Liu, Wen-Chau : Temperature-Dependent Characteristics of Polysilicon and Diffused Resistors: IEEE Xplore, 2003

- [12] Xia, Wei; Scarpulla, John; Young, Michael; Sabin, Edwin; Anderson, Larry: Fast Detecion of Mobile Ions for WLR Monitoring : IEEE Xplore, 2002

- [13] Aichinger, Thomas; Nelhiebel, Michael; Einspieler, Sascha; Grasser, Tibor : In Situ Poly Heater – A Reliable Tool for Performing Fast and Defined Temperature Switches on Chip : IEEE Xplore, 2010

- [14] Benson.; Bowman; Filter; Mitchell;. Perry : Design and Characterization of Microscale Heater Structures for Test Die and Sensor Applications : IEEE Xplore, 1998

- [15] Ehmann; Ruther; Von Arx; Baltes; Paul : Ageing behavior of polysilicon heaters for CMOS microstructures operated at temperatures up to 1200K : IEEE Xplore, 2002

- [16] Lienig, Jens; Jerke, Göran : Elektromigration – Eine neue Herausforderung beim Entwurf elektronischer Baugruppen – Teil 1: Ursachen und Beeinflussungsmöglichkeiten - München, Carl Hanser Verlag, 2002

Standards:

- [17] Jedec Standard : Standard Method for Measuring and Using the Temperature Coefficient of Resistance to Determine the Temperature of a Metallization Line, 2004
- [18] EIA/JEDEC Standard : Isothermal Electromigration Test Procedure, EIA/JESD61, 1997
- [19] MIL-HDBK-338B : Military Handbook – Electronic Reliability Design Handbook, Department of Defense USA, 1998

Internet:

- [20] Wikipedia : Joulesches Gesetz :
http://de.wikipedia.org/wiki/Joulesches_Gesetz, 2010
- [21] Wikipedia : Wärmeleitfähigkeit :
<http://de.wikipedia.org/wiki/W%C3%A4rmeleitf%C3%A4higkeit>, 2011
- [22] Wikipedia : Wärmewiderstand :
<http://de.wikipedia.org/wiki/W%C3%A4rmewiderstand>, 2010
- [23] Dobkin, Daniel <enigmatics@batnet.com> : Gettering an Mobile Ion Contamination : http://www.enigmatic-consulting.com/semiconductor_processing/selected_shorts/Gettering.html, 2011
- [24] Wikibooks : Tabellensammlung Chemie :
http://de.wikibooks.org/wiki/Tabellensammlung_Chemie, 2011
- [25] Reedholm : WLR Test Structures : www.reedholm.com, 2003

Sonstige:

- [26] Dost, Gerd : Technologie der Mikroelektronik, Vorlesung im Studiengang Informationstechnik, Hochschule Mittweida, 2009

- [27] Hösel, Michael : Qualitätsmanagement und Chipmontage, Vorlesung im Studiengang Informationstechnik, Hochschule Mittweida, 2010

- [28] Bumberger, Helmut : Halbleiterstrukturen / Teststrukturen für Zuverlässigkeitstests, 2010

- [29] Greither, Markus : ThSim – 3d Temperatursimulation, basierend auf SPICE, 2003

10. Eigenständigkeitserklärung

Hiermit versichere ich, dass ich die vorliegende Bachelorarbeit mit dem Titel:

Polysilizium-Heaterstrukturen für den Einsatz in hochbeschleunigten Zuverlässigkeitstests auf Waferebene

selbständig und nur mit den angegebenen Hilfsmitteln verfasst habe. Alle Passagen, die ich wörtlich aus der Literatur oder aus anderen Quellen wie z. B. Internetseiten übernommen habe, habe ich deutlich als Zitat mit Angabe der Quelle kenntlich gemacht.

David Weinberger